

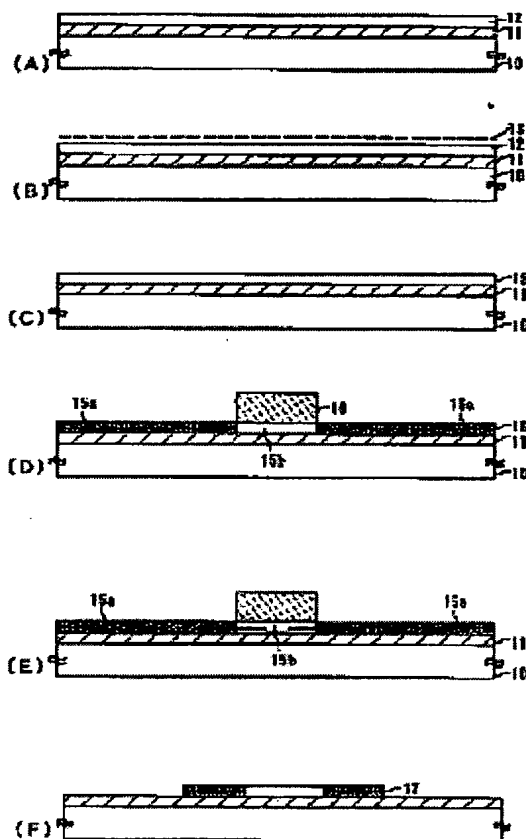
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP2000252474
Publication date: 2000-09-14
Inventor: KOYAMA JUN
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
 - international: *H01L21/20; G02F1/136; G02F1/1365; G02F1/1368; H01L21/336; H01L29/786; H01L21/02; G02F1/13; H01L29/66; (IPC1-7): H01L29/786; G02F1/1365; H01L21/20; H01L21/336*
 - european:
Application number: JP19990371933 19991227
Priority number(s): JP19990371933 19991227; JP19980374884 19981228

Report a data error here

Abstract of JP2000252474

PROBLEM TO BE SOLVED: To efficiently remove elements for accelerating crystallization from a crystalline semiconductor film. **SOLUTION:** An Ni film 13 is formed in contact with a semiconductor film 12 that is made of an amorphous silicon film, a microcrystalline silicon film, or the like. The semiconductor film 12 is heated at 45-650 deg.C for moving Ni to form a crystalline semiconductor film 15. Then, a region that becomes a source region and a region that becomes a drain region of the crystalline semiconductor film 15 are selectively doped with a crystallization acceleration element, thus forming a group 15 element doped region 15a. After that, it is heated at 500-850 deg.C, thus allowing the crystallization acceleration element remaining at a region 15b to be subjected to gettering to be sucked by the 15-family element doped region 15a.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252474

(P 2 0 0 0 - 2 5 2 4 7 4 A)

(43) 公開日 平成12年9月14日 (2000. 9. 14)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 29/786 / 21/336		H01L 29/78 21/20	627 G
G02F 1/1365		G02F 1/136	500
H01L 21/20		H01L 29/78	616 A

審査請求 未請求 請求項の数13 O L (全31頁)

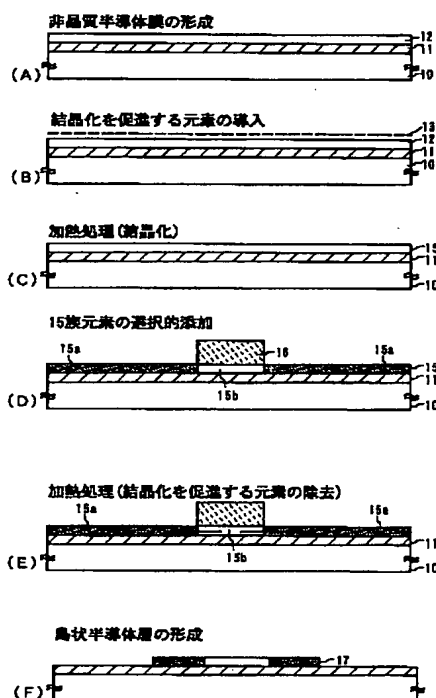
(21) 出願番号	特願平11-371933	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成11年12月27日 (1999. 12. 27)	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31) 優先権主張番号	特願平10-374884		
(32) 優先日	平成10年12月28日 (1998. 12. 28)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 結晶性半導体膜から結晶化を促進する元素を効率よく除去する。

【解決手段】 非晶質シリコン膜、微結晶シリコン膜等である半導体膜12に接してNi膜13を形成する。半導体膜12を450～650℃で加熱してNiを移動させ結晶質半導体膜15を形成する。次に、結晶質半導体膜15に結晶化促進元素をソース領域となる領域及びドレイン領域となる領域に選択的に添加して、15族元素添加領域15aを形成する。次に500～850℃で加熱して、被ゲタリング領域15bに残存した結晶化促進元素を15族元素添加領域15aに吸い取らせる。



【特許請求の範囲】

【請求項 1】 半導体装置の作製方法であって、半導体膜を形成する工程 A と、前記半導体膜に結晶化を促進する元素を導入する工程 B と、前記結晶化を促進する元素を導入した後、前記半導体膜を結晶化する工程 C と、結晶化された半導体膜に選択的に 15 族元素を添加する工程 D と、前記 15 族元素を添加した後、前記半導体膜を加熱処理する工程 E と、前記半導体膜をパターンニングして島状半導体層を形成する工程 F と、を有し、前記パターンニングは、前記 15 族元素が添加された領域がソース領域およびドレイン領域となるように、かつ前記 15 族元素が添加されなかった領域がチャネル形成領域又はチャネル形成領域と低濃度不純物領域となるように行われることを特徴とする半導体装置の作製方法。

【請求項 2】 半導体装置の作製方法であって、半導体膜を形成する工程 A と、前記半導体膜に結晶化を促進する元素を導入する工程 B と、前記結晶化を促進する元素を導入した後、前記半導体膜を結晶化する工程 C と、結晶化された半導体膜に選択的に 15 族元素を添加する工程 D と、前記 15 族元素を添加した後、前記半導体膜を加熱処理する工程 E と、前記半導体膜をパターンニングして島状半導体層を形成する工程 F と、前記島状半導体層に接してゲート絶縁膜を形成する工程 G と、前記島状半導体層の前記 15 族元素が添加されていない領域上に前記ゲート絶縁膜を介してゲート電極を形成する工程 H と、を有することを特徴とする半導体装置の作製方法。

【請求項 3】 半導体装置の作製方法であって、半導体膜を形成する工程 A と、前記半導体膜に結晶化を促進する元素を導入する工程 B と、前記結晶化を促進する元素を導入した後、前記半導体膜を結晶化する工程 C と、前記結晶化された半導体膜のソース領域となる領域及びドレイン領域となる領域を含み、かつチャネル形成領域となる領域又はチャネル形成領域と低濃度不純物領域となる領域を含まない領域に 15 族元素を添加する工程 D と、前記 15 族元素を添加した領域に前記結晶化を促進する元素をゲッタリングする工程 E と、前記半導体膜をパターンニングして島状半導体層を形成する工程 F と、前記島状半導体層に接してゲート絶縁膜を形成する工程 G と、前記島状半導体層の前記チャネル形成領域となる領域上に前記ゲート絶縁膜を介してゲート電極を形成する工程 H と、を有することを特徴とする半導体装置の作製方法。

【請求項 4】 半導体装置の作製方法であって、半導体膜を形成する工程 A と、前記半導体膜に結晶化を促進する元素を導入する工程 B と、前記結晶化を促進する元素を導入した後、前記半導体膜を結晶化する工程 C と、前記結晶化された半導体膜に選択的に 15 族元素を添加する工程 D と、前記 15 族元素を添加した後、前記半導体膜を加熱処理する工程 E と、前記半導体膜をパターンニングして島状半導体層を形成する工程 F と、前記島状半導

体層に接してゲート絶縁膜を形成する工程 G と、前記島状半導体層の前記 15 族元素が添加されていない領域の一部の上に前記ゲート絶縁膜を介してゲート電極を形成する工程 H と、前記ゲート電極をマスクとして不純物元素を添加する工程 I と、を有することを特徴とする半導体装置の作製方法。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の工程 D において、前記 15 族元素に加えて 13 族元素を添加することを特徴とする半導体装置の作製方法。

10 【請求項 6】 請求項 1 乃至 5 のいずれか 1 項に記載の工程 C において、前記半導体膜を 450～650℃ に加熱することを特徴とする半導体装置の作製方法。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の工程 E において、前記半導体膜を 500～850℃ に加熱することを特徴とする半導体装置の作製方法。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の工程 A において、前記半導体膜は、減圧 CVD 法で成膜された非晶質シリコン膜であることを特徴とする半導体装置の作製方法。

20 【請求項 9】 請求項 1 乃至 8 のいずれか 1 項に記載の工程 B において、前記結晶化を促進する元素として、Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Ge から選ばれた 1 種又は複数種の元素を用いることを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 1 乃至 9 のいずれか 1 項に記載の作製方法を用いて作製されたアクティブマトリクス型表示装置。

【請求項 11】 請求項 10 記載のアクティブマトリクス型表示装置を備えた電子機器。

30 【請求項 12】 請求項 1 乃至 9 のいずれか 1 項に記載の作製方法を用いて作製された EL 表示装置。

【請求項 13】 請求項 12 記載の EL 表示装置を備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、結晶質半導体膜を用いて半導体装置を作製する方法に関する。なお、本発明の半導体装置は、薄膜トランジスタや MOS トランジスタなどの素子だけでなく、これら絶縁ゲート型半導体素子で構成された半導体回路を有する電子機器や、アクティブマトリクス基板でなる電気光学表示装置（代表的には、液晶表示装置）を備えたパーソナルコンピュータやデジタルカメラ等の電子機器をもその範疇とする。

【0002】

【従来の技術】 現在、半導体膜を用いた半導体素子として、薄膜トランジスタ (TFT) が知られている。TFT は各種集積回路に利用されているが、特にアクティブマトリクス型液晶表示装置のマトリクス回路のスイッチング素子として利用されている。更に、近年 TFT の高移動度化が進められており、マトリクス回路を駆動する

ドライバ回路の素子としても T F T が利用されている。ドライバ回路に利用するには、半導体層としては、非晶質シリコン膜よりも移動度の高い、結晶質シリコン膜を用いることが必要となる。この結晶質シリコン膜（結晶性シリコン膜ともいう）は多結晶シリコン、ポリシリコン、微結晶シリコン等と呼ばれている。

【0003】従来、結晶質シリコン膜を形成するには、結晶質シリコン膜を直接成膜する方法と、非晶質シリコンを C V D 法で成膜し、600～1100℃の温度で20～48時間加熱処理して、非晶質シリコンを結晶化する方法が知られている。後者の方法で形成した結晶質シリコン膜のほうが結晶粒が大きく、作製した半導体素子の特性も良好である。

【0004】後者の方法でガラス基板上に結晶質シリコン膜を形成する場合には、結晶化のプロセス温度の上限が600℃程度になり、結晶化工程に長時間要することになる。また600℃という温度はシリコンを結晶化する最低の温度に近く、500℃以下になると、工業的な時間で結晶化させることは不可能である。

【0005】結晶化時間を短縮するには、高い歪点を有する石英基板を用いて、結晶化温度を1000℃程度に上昇すればよいが、石英基板はガラス基板に比較して非常に高価であり、大面積化は困難である。例えば、アクティブ型の液晶表示装置に広く用いられるコーニング7059ガラスはガラス歪点が593℃であり、600℃以上の温度で数時間の加熱では基板の縮みや撓みが発生してしまう。このため、コーニング7059ガラスのようなガラス基板が利用できるように、結晶化プロセスの低温化及び時短化が要求されている。

【0006】エキシマレーザーによる結晶化技術はプロセスの低温化、時短化を可能にした技術の1つである。エキシマレーザー光は基板に熱的な影響を殆ど与えずに、1000℃前後の熱アニールに匹敵するエネルギーを短時間で半導体膜に与えることができ、また高い結晶性の半導体膜を形成することができる。しかしながら、エキシマレーザーは照射面のエネルギー分布がばらついているので、得られた結晶質半導体膜の結晶性もばらついてしまい、T F T ごとの素子特性もばらつきが見られた。

【0007】そこで、本出願人は、加熱処理を用いつつ、結晶化温度を低温化した技術の特開平6-232059号公報、特開平7-321339号公報等に開示している。上記公報の技術は、非晶質シリコン膜に微量の結晶化を促進する元素（便宜上、結晶化促進元素と呼ぶ）を触媒として導入し、しかる後に加熱処理を行うことにより結晶質シリコン膜を得るものである。結晶化を助長、促進する元素としては、Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Geから選ばれた元素を用いる。

【0008】上記公報の結晶化では、加熱処理により、

非晶質シリコン膜内に結晶化促進元素が移動し（拡散ともいう）、非晶質シリコンの結晶化が進行する。上記公報の結晶化技術を用いることにより、450～600℃、4～24時間の加熱処理で結晶質シリコンを形成することが可能であり、ガラス基板を使用することを可能にした。

【0009】しかしながら、上記公報の結晶化では、結晶化促進元素が結晶質シリコン膜に残存しているという問題点を有する。このような結晶化促進元素はシリコン膜の半導体特性を損なうものであり、作製する素子の安定性、信頼性が損われてしまう。

【0010】そこで、この問題点を解消するため、本出願人は結晶質シリコン膜から結晶化促進元素を除去する（ゲッタリングする）方法を検討した。1つの方法は、塩素などハロゲン元素を含有する雰囲気中で加熱処理する方法である。この方法では、膜内の結晶化促進元素がハロゲン化合物として気化される。

【0011】第2の方法は、リンを結晶質シリコン膜に選択的に添加して加熱処理を行う方法である。加熱処理を行うことにより、結晶化促進元素をリン添加領域へと移動させ、この領域に捕獲する。

【0012】しかしながら、第1の方法では、ゲッタリングの効果を得るには熱処理温度を800℃以上にする必要があり、ガラス基板が使用できない。他方、第2の方法は加熱温度を600℃以下とすることができるが、処理時間が十数時間要するという欠点を有する。

【0013】

【発明が解決しようとする課題】本発明は、上記第2の方法の結晶化促進元素の除去技術を用いるにあたって、結晶化促進元素の除去工程を効率良く行う方法を提供することを目的とする。

【0014】更に、本発明はプロセス温度を600℃以下とし、ガラス基板上に高性能の半導体素子の形成を可能にすることを目的とする。

【0015】

【課題を解決するための手段】結晶化促進元素の除去に時間を要するのは、図2に示すように、結晶化促進元素を低減させる領域70（便宜上、被ゲッタリング領域と呼ぶ）と、その元素を吸い取り捕獲するリン添加領域71（ゲッタリング領域）とが離れていることが原因である。

【0016】従って、被ゲッタリング領域に接してゲッタリング領域を形成すれば、結晶化促進元素の捕獲される領域までの移動距離が短くなり、結晶化促進元素の除去工程の時短化、低温化が図れる。

【0017】ここで、結晶化促進元素を低減させる領域70（被ゲッタリング領域）とは、その特性の良、不良が半導体特性に最も影響を及ぼすチャネル形成領域となる領域を含む領域である。チャネル形成領域の特性によって、スイッチング特性や移動度の値が大きく左右され

る。チャネル形成領域中に不規則に結晶化促進元素が残存したままであると、スイッチング特性や移動度等の半導体特性を損ない、素子の安定性や信頼性を損なう原因となる。そのため、チャネル形成領域に残存する結晶化促進元素を低減させることは、安定性、信頼性のある素子作製に必要不可欠なことである。

【0018】更に、被ゲッタリング領域70として、チャネル形成領域となる領域に加えて、その領域と隣接する低濃度不純物領域となる領域を含ませることは好ましい。低濃度不純物領域はOFF時のリーク電流を低減させる領域である。そのため、低濃度不純物領域に残存する結晶化促進元素を減少させることにより、リーク電流の低減に関して、安定性、信頼性のある素子を得ることが可能である。

【0019】なお、低濃度不純物領域とは、不純物濃度がソース領域やドレイン領域よりも低い高抵抗な領域である。その不純物濃度は $10^{16} \sim 10^{19}$ atoms/cm³である。ただし、低濃度不純物領域は必ずしもソース領域やドレイン領域より不純物濃度が低くなければならないわけではない。低濃度不純物領域はソース領域やドレイン領域よりも高抵抗であればよい。従って、低濃度不純物領域の不純物濃度を低くする代わりに、低濃度不純物領域にイオン打ち込みやレーザー照射してソース領域やドレイン領域よりも高抵抗領域とすれば、ソース領域やドレイン領域と同じ不純物濃度であっても構わない。

【0020】結晶化促進元素を捕獲するゲッタリング領域は、被ゲッタリング領域に接すること、被ゲッタリング領域に含まれる結晶化促進元素を捕獲可能な大きさであること、工程数を削減すること、を考え合わせると、少なくともソース領域となる領域及びドレイン領域となる領域を含んだ領域であることが必要である。ソース領域となる領域及びドレイン領域となる領域を含んだ領域にリン等の15族元素を添加することで、同時にソース領域となる領域及びドレイン領域となる領域を低抵抗化するための不純物元素の導入を行うことができ、不純物元素の導入工程を省くことができる。

【0021】そこで、本発明では、図1に示すように、チャネル形成領域となる領域又はチャネル形成領域及び低濃度不純物領域となる領域を含む被ゲッタリング領域80に接した、少なくともソース領域となる領域81及びドレイン領域となる領域82を含んだ斜線で示す領域83に15族元素を添加し、被ゲッタリング領域80中の結晶化促進元素を矢印85で示すようにゲッタリング領域83に移動させて捕獲し、被ゲッタリング領域80から結晶化促進元素を除去することを主要な構成とする。

【0022】図1(A)では、ソース領域となる領域81及びドレイン領域となる領域82をゲッタリング領域83として、15族元素を添加して、被ゲッタリング領域80の結晶化促進元素の除去を行う。図1(A)は、

結晶化促進元素を捕獲するゲッタリング領域83の面積が必要最低限の大きさであるため、ゲッタリング領域83に捕獲される結晶化促進元素の濃度を高くでき、ソース領域81及びドレイン領域82の低抵抗化を図ることができる。

【0023】図1(B)は、帯状にリンを添加するものであって、リン添加領域83と島状半導体層86の横方向(帯の長さ方向)の位置合わせが不要となる。更に、図1(B)は、ゲッタリング領域83の面積が図1

(A)よりも大きいため、結晶化促進元素除去の時短化、低温化を図ることができる。それと同時に、図1(B)は、リン添加領域83の帯の幅をソース領域81及びドレイン領域82の幅としているため、リン添加領域83を帯状でかつその面積を必要最低限としているため、横方向の位置合わせを不要としたものの中で最もソース領域81及びドレイン領域82に捕獲される結晶化促進元素の濃度を高くでき、ソース領域81及びドレイン領域82の低抵抗化を図ることができる。

【0024】図1(C)は図1(B)と同様、帯状にリンを添加するものであり、図1(B)と同様の効果が得られる。図1(C)はリン添加領域83の幅が図1

(B)のようにソース領域となる領域81及びドレイン領域となる領域82の幅ではなく、それよりリン添加領域83の幅を広くしているため、図1(B)よりも更に結晶化促進元素除去の時短化、低温化を図ることができる。また、帯状の幅がソース領域となる領域及びドレイン領域となる領域の幅よりも広いため、リン添加領域83と島状半導体層86の横方向(帯の長さ方向)の位置合わせが不要なことに加えて、リン添加領域83と島状半導体層86の縦方向(帯の幅方向)の位置合わせを厳密に行う必要もない。従って図1(C)は最も信頼性を高めることができる。

【0025】図1(D)は、チャネル形成領域となる領域84(又はチャネル形成領域と低濃度不純物領域となる領域)を囲んでリンを添加するものであり、最も結晶化促進元素除去の時短化、低温化を図ることができる。

【0026】上述の課題を解決するための本発明は、半導体膜を形成する工程Aと、前記半導体膜に結晶化を促進する元素を導入する工程Bと、前記結晶化を促進する元素を導入した後、前記半導体膜を結晶化する工程Cと、結晶化された半導体膜に選択的に15族元素を添加する工程Dと、前記15族元素を添加した後、前記半導体膜を加熱処理する工程Eと、前記半導体膜をパターンニングして島状半導体層を形成する工程Fと、を有し、前記パターンニングは、前記15族元素が添加された領域がソース領域およびドレイン領域となるように、かつ前記15族元素が添加されなかった領域がチャネル形成領域となるように行われることを主要な構成とする。

【0027】上記半導体膜の形成工程Aにおいて、半導体膜は結晶性のない半導体膜、又は結晶性を有するが1

0.0 nm以上のオーダーの結晶粒が殆どない半導体膜であって、具体的には非晶質半導体膜、微結晶半導体膜を指す。微結晶半導体膜は、数nm～数十nmの大きさの結晶粒を含む微結晶と非晶質とが混相状態の半導体膜である。

【0028】より具体的には、半導体膜は非晶質シリコン膜、微結晶シリコン膜、非晶質ゲルマニウム膜、微結晶ゲルマニウム膜、非晶質Si_{1-x}Ge_x、(0<x<1)であり、これらの半導体膜はプラズマCVD法、減圧CVD法等の化学的気相法で成膜される。

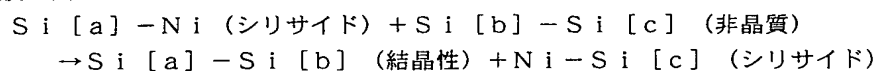
【0029】また、半導体膜を形成する際に、半導体膜と無機絶縁膜を連続成膜してもよい。そうすることにより、半導体膜の表面への不純物の付着を防ぐことができる。更に、この連続成膜した無機絶縁膜をゲート絶縁膜又はゲート絶縁膜の一部としてもよい。半導体膜とゲート絶縁膜の界面における不純物は、半導体特性を損なう原因となるが、半導体膜とゲート絶縁膜を連続成膜すると、半導体膜とゲート絶縁膜の界面への不純物の付着を防止することができる。

【0030】上記導入工程Bにおいて、結晶化を促進する元素(結晶化促進元素)とは半導体、特にシリコンの結晶化を助長、促進する機能を有する元素であり、Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Cu、Au、Geから選ばれた1種又は複数種の元素を用いることができる。

【0031】上記結晶化促進元素を導入する方法は、結晶化促進元素を半導体膜に添加する方法、結晶化促進元素を含有する膜を半導体膜の上面又は下面に接して形成する方法を用いることができる。

【0032】前者の方法では、半導体膜を成膜後、イオン注入法、プラズマドーピング法等によって、結晶化促進元素を半導体膜に添加する方法を用いることができる。

【0033】後者の方法において、結晶化促進元素を含有する膜を形成するには、CVD法やスパッタリング法などの堆積法や、スピナーを用いて結晶化促進元素を含む溶液を塗布する塗布法が挙げられる。また、結晶化促進元素を含有する膜の形成と、半導体膜の形成はどちらが先でも良く、半導体膜を先に成膜すれば、結晶化促進元素を含有する膜は半導体膜上面に密接して形成され、形成順序を逆にすれば、結晶化促進元素を含有する膜は半導体膜下面に密接して形成されることになる。なお本発明では、密接するとは半導体膜と結晶化促進元素が文字通り密接するだけでなく、半導体膜内に結晶化促進元素が移動できれば、膜の間に10nm程度の厚さの酸化



という反応式で表すことができる。

【0041】なお、上記の反応式において、[a]、[b]、[c]という指標はSi原子位置を表してい

膜、自然酸化膜等が存在している構成も含む。

【0034】例えば、導入工程で、結晶化促進元素としてニッケル(Ni)を用いた場合には、堆積法でNi膜やNiシリサイド膜を成膜すればよい。

【0035】また、塗布法を用いる場合には、臭化ニッケルや、酢酸ニッケル、蔞酸ニッケル、炭酸ニッケル、塩化ニッケル、沃化ニッケル、硝酸ニッケル、硫酸ニッケル等のニッケル塩を溶質とし、水、アルコール、酸、アンモニアを溶媒とする溶液、又はニッケル元素を溶質とし、ベンゼン、トルエン、キシレン、四塩化炭素、クロロホルム、エーテルを溶媒とする溶液を用いることができる。あるいは、ニッケルが完全に溶解していなくとも、ニッケルが媒質中に分散したエマルジョンの如き材料を用いてもよい。

【0036】または酸化膜形成用の溶液にニッケル単体あるいはニッケルの化合物を分散させ、ニッケルを含有した酸化膜を形成する方法でもよい。このような溶液としては、東京応化工業株式会社のOCD(Ohka Diffusion Source)を用いることができる。このOCD溶液を用いれば、被形成面上に塗布し、200℃程度で焼成することで、簡単に酸化シリコン膜を形成できる。他の結晶化促進元素についても同様である。

【0037】結晶化促進元素の導入方法としては、ドーピング法やNi膜をスパッタ法で成膜する方法よりも、塗布法が最も容易に半導体膜中の結晶化促進元素濃度を調節することができ、また工程も簡単化される。

【0038】また、上記結晶化工程Cは、半導体膜内に結晶化促進元素を移動(拡散ともいう)させながら行う。結晶化促進元素を導入した半導体膜を加熱処理すると、結晶化促進元素が直ちに半導体膜内に移動する。そして結晶化促進元素は移動しつつ、非晶質状態にある分子鎖に触媒的な作用を及ぼし、半導体膜を結晶化させる。

【0039】この結晶化を促進させる作用に関しては、本出願人により、特開平06-244103号公報、特開平06-244104号公報等で開示している。結晶化促進元素と接しているシリコンは結晶化促進元素と結合し、シリサイドが形成される。そして、シリサイドと非晶質状態のシリコン結合が反応して、結晶化が進行することが分かった。これは、結晶化促進元素とシリコンの原子間距離が単結晶シリコンの原子間距離に非常に近いためであり、Ni-Si間距離が単結晶Si-Si間距離と最も近く、0.6%ほど短い。

【0040】Niを結晶化促進元素として用いて非晶質シリコン膜を結晶化させる反応をモデル化すると、

る。

【0042】上記の反応式は、シリサイド中のNi原子が非晶質部分のシリコンのSi[b]原子と置換するた

10

20

30

40

50

めに、Si [a] - Si [b] 間距離が単結晶とほぼ同じになることを示している。また、Ni が半導体膜内に拡散しつつ、結晶成長させていることを示している。また、結晶化反応が終了した時点で、Ni は Si と結合した状態で、移動した終端（又は、結晶成長の先端）に局在していることを示している。つまり Ni Si_i で表されるシリサイド状態で結晶化後の膜内に不規則に分布していることとなる。このシリサイドの存在は、結晶化後の膜を FPM 処理することで、穴として確認できる。

【0043】FPM 処理とは、ニッケルシリサイドを短時間で除去できる FPM（50%HF と 50%H₂O₂ を 1:1 で混合したエッチャント）を用いた処理であって、FPM で 30 秒程度エッチングして、エッチングによる穴の有無によってニッケルシリサイドの存在が確認できるものである。

【0044】FPM 処理によって結晶化されたシリコン膜には不規則に FPM による穴が発生していた。このことは、結晶化された領域にはニッケルが局在し、この局在している部分でシリコンと結合してシリサイドが形成されていることを示している。

【0045】なお、この結晶化反応を進行させるためのエネルギーを与えるには、加熱炉において 450℃ 以上で加熱すればよいことが分かっている。また、加熱温度の上限は 650℃ とする。これは、結晶化促進元素と反応しない部分で、非晶質半導体膜の結晶化が進行しないようにするためである。結晶化促進元素と反応しない部分で結晶化してしまうと、結晶化促進元素がその部分に拡散できないので結晶粒を大きくすることができず、また粒径もばらついてしまう。

【0046】また、結晶化工程において、加熱処理により結晶化した半導体膜には結晶粒内に欠陥が含まれる場合があり、また非晶質部分が残存している場合がある。そこで、その非晶質部分を結晶化し、また粒内の欠陥を消滅させるために、再び加熱処理を行うことは好ましい。この加熱温度は結晶化の際の加熱処理よりも高く、具体的には 500～1100℃ とする、より好ましくは 600～1100℃ とする。なお、実際の温度の上限は基板の耐熱温度で決定されることはいうまでもない。

【0047】なお、この工程で、加熱処理の代わりにエキシマレーザー光を照射することもできる。しかしながら、上述したようにエキシマレーザーには不可避的な照射エネルギーばらつきがあるため、非晶質部分の結晶化にばらつきが生じてしまうおそれがある。特に、膜ごとに非晶質部分の分布にばらつきがある場合は、1つの半導体装置で、素子間の特性がばらついてしまうだけでなく、半導体装置間の特性のばらつきが生ずるおそれがある。

【0048】そのため、結晶化工程後、エキシマレーザー光を照射する場合は、必ず加熱処理を施して、非晶質部分を結晶化させ、また欠陥を減少させることが望まれ

る。従って、次の光アニール工程でエキシマレーザーを使用する場合には、結晶性改善するための処理を加熱処理で行うことが重要になる。

【0049】また、加熱炉内での加熱処理と同等な加熱方法として、波長 0.6～4 μm、より好ましくは 0.8～1.4 μm にピークをもつ赤外光を数十～数百秒照射する RTA 法が知られている。赤外光に対する吸収係数が高いため、赤外光の照射によって半導体膜は 800～1100℃ に短時間で加熱される。しかし、RTA 法はエキシマレーザー光よりも照射時間が長いので、基板に熱が吸収され易く、ガラス基板を用いる場合には反りの発生に注意が必要である。

【0050】また、他の方法としてパルス発振型の YAG レーザーや YVO₄ レーザーを使用する方法がある。特にレーザーダイオード励起方式のレーザー装置を使用すると高出力と高いパルス発振周波数が得られる。その第 2 高調波（532nm）、第 3 高調波（354.7nm）、第 4 高調波（266nm）のいずれかを使用し、例えばレーザーパルス発振周波数 1～20000Hz（好ましくは 10～10000Hz）、レーザーエネルギー密度を 200～600mJ/cm²（代表的には 300～500mJ/cm²）とする。そして、線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を 80～90% として行う。第 2 高調波を使うと、半導体層の内部にも均一に熱が伝わり、照射エネルギー範囲が多少ばらついていても結晶化が可能となる。それにより、加工マージンがとれるため結晶化のばらつきが少なくなる。また、パルス周波数が高いのでスループットが向上する。

【0051】本発明では、結晶化された半導体膜内に局在する結晶化促進元素を除去（ゲッタリング）することを目的とする。本発明では、結晶化促進元素をゲッタリングするために 15 族元素を用いる。ここで、15 族元素は P、As、N、Sb、Bi である。ゲッタリング能力の最も高いのは P であり、次いで Sb である。

【0052】本発明において結晶化促進元素の除去は、結晶化した結晶質半導体膜に 15 族元素を選択的に添加して 15 族元素を含有する領域を形成し、加熱処理して、15 族元素を含有する領域に結晶化促進元素を移動させ、捕獲することにより行う。結晶質半導体膜に 15 族元素を添加する工程 D には、半導体膜に結晶化促進元素を導入する方法と同様に、プラズマドーピング法やイオン注入法等の気相法が挙げられる。

【0053】15 族元素を添加する領域（ゲッタリング領域）は、結晶化された半導体膜のチャネル形成領域となる領域又はチャネル形成領域と低濃度不純物領域となる領域を含まず、かつチャネル形成領域となる領域又はチャネル形成領域と低濃度不純物領域となる領域に接した領域、具体的には、ソース領域となる領域及びドレイン領域となる領域を含んだ領域である。ソース領域とな

る領域及びドレイン領域となる領域に15族元素を添加することにより、同時に低抵抗化のための不純物元素の導入工程を行うことができ、工程を簡略化できる。

【0054】15族元素を添加する際のマスクは、酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜を用いることが好ましい。

【0055】15族元素を添加する領域（ゲッタリング領域）の大きさは、少なくともソース領域となる領域及びドレイン領域となる領域の大きさがあれば、結晶化促進元素の除去のためには十分である。しかし、15族元素を添加する領域が大きければ除去工程の時短化、低温化となるので好ましい。従って、結晶化を促進する元素の除去工程の後に、半導体膜をパターニングして島状半導体層を形成する工程を行うことは、15族元素の添加領域をソース領域及びドレイン領域より大きくすることができるため好ましい。

【0056】15族元素を添加した領域の15族元素濃度は、半導体膜内に残存する結晶化促進元素の濃度の10倍とする。本発明の結晶化方法では、 $10^{18} \sim 10^{20}$ atoms/cm² オーダーで結晶化促進元素が残存するため、15族元素濃度は $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm² とする。

【0057】結晶化促進元素の除去（ゲッタリング）は、加熱処理する工程Eによって行う。加熱処理によって、結晶化促進元素は15族元素を添加した領域（ゲッタリング領域）へ移動して捕獲（ゲッタリング）される。この結晶化促進元素の除去工程は、15族元素を添加した領域に結晶化促進元素を吸い取らせる（ゲッタリングさせる）工程と見ることができる。

【0058】この加熱処理は、ゲート電極、ゲート配線形成前に行う（ゲート配線とゲート電極は一体的に形成されていることが多い）。半導体膜の結晶化時と、結晶化促進元素の除去時の温度が、半導体装置作製の中で最も高温に上げなければならない。従って、これらの工程終了後にゲート電極の形成を行うことで、耐熱性の高い導電材料をゲート電極として用いることができる。半導体装置の使用時に求められているゲート電極材料の特性は低抵抗なことであるが、半導体装置の作製時に求められているゲート電極材料の特性は耐熱性があることである。耐熱性は、半導体装置の信頼性を損なわないために求められる重要な特性である。耐熱性の低い導電材料は、いくら抵抗が低くてもゲート電極材料として用いることができなかったが、本発明を用いることにより、耐熱性の高い導電材料を用いてゲート電極を形成することができる。

【0059】また本発明において、結晶化促進元素の除去工程を低温化、時短化するために、この工程の前に、結晶化した結晶質半導体膜にレーザー光又は強光を照射することは好ましい。この光照射（光アニール）によって、結晶質半導体膜に局在している結晶化促進元素を移

動しやすい状態とすることができる。

【0060】結晶化促進元素はNiSi₂の如く、半導体分子と結合した状態で、半導体膜内に分布しているが、光アニールのエネルギーにより、Ni-Si結合が断たれて、結晶化促進元素は原子状態にされる、あるいはNi-Si結合エネルギーが低下されるため、残存している結晶化促進元素は結晶質半導体膜内を移動しやすい状態となるためである。

【0061】上記光アニールによって、結晶化促進元素を移動させるために必要なエネルギーを下げることで、500℃以上で加熱することで、結晶化促進元素を移動させることができ、また、処理時間を短くすることもできる。更に、ゲッタリング領域を素子形成領域に形成するため、ゲッタリング領域を新たに設ける必要がなく、素子形成可能な部分を拡大できる。なお、結晶化促進元素の除去工程の加熱温度の上限は、ゲッタリング領域に含まれる15族元素が移動しない温度であり、800℃～850℃である。

【0062】また光アニール工程において光を照射する部分は、半導体膜のうち半導体素子を構成する半導体層となる部分に照射すればよく、少なくともこの半導体層の空乏層が形成される領域（チャネル形成領域）を含むようにする。

【0063】光アニールに使用する光源は、エキシマレーザーを用いることができる。例えばKrFエキシマレーザー（波長248nm）、XeClエキシマレーザー（波長308nm）、XeFエキシマレーザー（波長351、353nm）、ArFエキシマレーザー（波長193nm）、XeFエキシマレーザー（波長483nm）等を用いることができる。また、紫外線ランプを用いることができる。またはキセノンランプやアークランプなどの赤外線ランプなどを用いることができる。パルス発振方式のエキシマレーザー光を用いることができる。

【0064】また、他の方法としてパルス発振型のYAGレーザーやYVO₄レーザーを使用する方法がある。特にレーザーダイオード励起方式のレーザー装置を使用すると高出力と高いパルス発振周波数が得られる。その基本波（1064nm）、第2高調波（532nm）、第3高調波（354.7nm）、第4高調波（266nm）のいずれかを使用し、例えばレーザーパルス発振周波数1～20000Hz（好ましくは10～10000Hz）、レーザーエネルギー密度を200～600mJ/cm²（代表的には300～500mJ/cm²）とする。そして、線状ビームを基板全面に渡って照射し、この時の線状ビームの重ね合わせ率（オーバーラップ率）を80～90%として行う。また、パルス周波数が高いのでスループットが向上する。

【0065】島状半導体層の形成工程Fにおいて、パターニングは、前記15族元素が添加された領域がソース

領域およびドレイン領域となるように、かつ前記 15 族元素が添加されなかった領域がチャネル形成領域又はチャネル形成領域と低濃度不純物領域となるように行われる。

【0066】その後、半導体層に接して設けられたゲート絶縁膜を介してゲート電極を形成し、ゲート電極に対向する半導体層をチャネル形成領域とする。ゲート電極は、島状半導体層の前記 15 族元素が添加されてない領域（被ゲッタリング領域）上に前記ゲート絶縁膜を介して形成する。

【0067】本発明は、ゲート電極に整合して自己整合的にソース領域及びドレイン領域を形成するものではない。従って、ゲート電極の大きさを変更するだけで、上面から見て 15 族元素が添加された領域（ソース領域とドレイン領域）とゲート電極とが重なった構造とすることも、上面から見て 15 族元素が添加された領域（ソース領域とドレイン領域）とゲート電極とがほぼ接するように形成することも、上面から見て 15 族元素が添加された領域（ソース領域とドレイン領域）とゲート電極との間隔が一定距離ある構造とすることも可能である。

【0068】更に、15 族元素が添加された領域（ソース領域とドレイン領域）とゲート電極との間隔が一定距離あるように形成した後、即ち島状半導体層の前記 15 族元素が添加されていない領域の一部分（チャネル形成領域と低濃度不純物領域となる領域のうちチャネル形成領域となる領域）上に前記ゲート絶縁膜を介してゲート電極を形成し、その後、ゲート電極をマスクとして不純物元素を添加して、上面から見て、ソース領域及びドレイン領域とゲート電極との間に低濃度不純物領域を形成することもできる。

【0069】そして更に、低濃度不純物領域形成後、ゲート電極として既に形成されている第 1 の導電膜上に第 2 の導電膜をゲート電極の一部として形成し、低濃度不純物領域とその第 2 の導電膜が重なりを有するように第 2 の導電膜をパターンニングすることによって、ゲート電極と低濃度不純物領域が重なる領域を有するゲート・オーバーラップド・LDD（GOLD）構造を得ることができる。GOLD 構造は、ホットエレクトロン注入による半導体装置の劣化を防止することができる。また、ゲート電極が 2 層の場合を例に説明したが、3 層以上の多層構造としてもよい。

【0070】このように本発明は、ゲート電極の大きさを変えるだけで異なる構造の素子を作製することができる。従って、同じパネル上の、例えばマトリクス回路とドライバ回路の素子構造を容易に異なる構造とすることができる。同様に、マトリクス回路の N チャネル型 TFT と P チャネル型 TFT を容易に異なる構造とすることができる。

【0071】結晶化促進元素を捕獲する領域には 15 族元素だけでなく、13 族元素をも添加することにより、

15 族元素のみよりも高い除去効果が得られることが判明している。この場合には、13 族元素濃度は 15 族元素濃度の 1.3 ～ 2 倍とする。13 族元素とは B、Al、Ga、In、Ti である。

【0072】本発明の結晶化促進元素の除去工程によって、結晶化促進元素濃度が 5×10^{17} atoms/cm³ 以下（好ましくは 2×10^{17} atoms/cm³ 以下）にまで低減された結晶質半導体領域が得られる。

【0073】なお、現状では SIMS（質量二次イオン分析）による検出下限が 2×10^{17} atoms/cm³ 程度であるため、それ以下の濃度を調べることはできない。しかしながら、本明細書に示す除去工程を行うことで、少なくとも $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/cm³ 程度にまで、結晶化促進元素は低減されるものと推定される。

【0074】

【発明の実施の形態】 図 3 ～ 図 6 を用いて本発明の実施の形態を説明する。なお、15 族元素は半導体に N 型の導電性を付与する元素であり、本発明の実施の形態は、N 型のソース領域となる領域及びドレイン領域となる領域をゲッタリング領域に用いる。

【0075】〔実施形態 1〕 図 3 を用いて、本実施形態を説明す。図 3（A）に示すように、基板 10 を用意し、基板 10 表面に下地膜 11 を形成する。基板 10 にはガラス基板、石英基板、セラミック基板等の絶縁性基板、単結晶シリコン基板、更にステンレス基板、Cu 基板、Ta、W、Mo、Ti、Cr 等の高融点金属材料又はこれら合金系（例えば、窒素系合金）からなる基板等の導電性基板を用いることができる。

【0076】下地膜 11 は、半導体装置内に基板から不純物が拡散するのを防ぐ機能、基板 10 上に形成される半導体膜や金属膜の密着性を高め、剥離を防止する機能を有する。下地膜 11 には、CVD 法などで成膜した酸化シリコン膜や、窒化シリコン膜、窒化酸化シリコン膜等の無機絶縁膜が使用できる。例えば、シリコン基板を使用した場合には、熱酸化によってその表面を酸化して下地膜を形成することができる。また、石英基板やステンレス基板などの耐熱性基板を用いた場合には、非晶質シリコン膜を成膜し、このシリコン膜を熱酸化してもよい。

【0077】更に、下地膜 11 として、タングステン、クロム、タンタル等の高融点金属の被膜や、窒化アルミニウム膜等の高い伝導度を有する被膜を下層に、上記の無機絶縁膜を上層に積層した積層膜を用いてもよい。この場合には、半導体装置で発生した熱が下地膜 11 の下層の被膜から放射されるため、半導体装置の動作が安定できる。

【0078】下地膜 11 上に、プラズマ CVD、減圧 CVD 法、熱 CVD 等の気相法で半導体膜 12 を成膜する。ここでは、減圧 CVD 法で非晶質シリコン膜を 10 ～ 150 nm の厚さに成膜する。プラズマ CVD 法は減

圧CVD法よりも生産性に優れるが、減圧CVD法は成膜に時間が掛かるが、プラズマCVD法よりも緻密な膜ができるという利点がある。(図3(A))

【0079】次に、半導体膜12に結晶化促進元素を導入する。ここでは、半導体膜12表面に結晶化促進元素を含有する膜13を形成する方法を用いる。例えば、スピナーにおいて、Ni酢酸塩溶液を塗布し、この状態を数分間保持する。スピナーを用いて乾燥することによって、膜13としてNi膜が形成される。溶液のニッケルの濃度は、1ppm以上好ましくは10ppm以上であれば実用になる。なお、Ni膜は必ずしも膜状とは限らないが、膜状でなくても用いることができる。(図3(B))

【0080】そして、加熱炉において、結晶化促進元素が導入された半導体膜12を熱処理し、結晶質半導体膜15を形成する。熱処理条件は、雰囲気は窒素等の不活性雰囲気とし、温度450℃～650℃、好ましくは500℃～650℃、時間4～24時間とする。本実施形態においては、半導体膜表面全体にニッケル元素が接するため、ニッケルの移動方向は半導体膜表面から下地膜方向、即ち基板表面にはほぼ垂直な方向に移動し、その方向に結晶化が進行する。(図3(C))

【0081】次に、結晶質半導体膜15のソース領域及びドレイン領域となる領域を含む領域に15族元素を選択的に添加する。まず半導体膜15のチャンネル形成領域となる領域又はチャンネル形成領域と低濃度不純物領域となる領域を含む領域上にマスク絶縁膜16を形成する。マスク絶縁膜16としては、レジスト、酸化シリコンなどが使用できるが無機絶縁膜が好ましい。ここでは100nmの厚さの酸化シリコン膜を成膜し、パターニングしてマスク絶縁膜16を形成する。そして、プラズマドーピング法、塗布法などによって、選択的に15族元素を添加して、半導体膜15に15族添加領域15aを形成する。15族元素が添加されなかった領域15bを便宜上、被ゲッタリング領域と呼ぶ。(図3(D))

【0082】領域15aの15族元素濃度は被ゲッタリング領域15bの結晶化促進元素濃度の10倍とする。本実施例形態の方法では領域15bには $10^{19} \sim 10^{20}$ atoms/cm³ オーダーで結晶化促進元素が残存するため、領域15aの15族元素の濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³ とする。

【0083】次に、500～850℃、より好ましくは550℃～650℃、4～8時間加熱処理して、被ゲッタリング領域15bに残存した結晶化促進元素をソース領域及びドレイン領域となる領域を含む領域である15族元素添加領域15aへ移動させ、そこに吸い取らせる。ソース領域及びドレイン領域となる領域に達した結晶化促進元素は15族元素と結合する。例えば結晶化促進元素がNi、15族元素がPの場合には、ソース領域及びドレイン領域となる領域でNiP₂、NiP₃、Ni

・・・・といった結合状態で存在する。この結合状態は非常に安定であり、TFETの動作にほとんど影響しない。(図3(E))

この加熱処理により、領域15bの結晶化促進元素(Ni)濃度は 2×10^{17} atoms/cm³ 以下に低下される。また、ソース領域となる領域及びドレイン領域となる領域に添加された15族元素を活性化させて、ソース領域となる領域及びドレイン領域となる領域を低抵抗化することもできる。

【0084】そして、結晶化促進元素の除去工程後に、領域15を領域15aの全部もしくは一部がソース領域及びドレイン領域となるように島状にパターニングして、島状半導体層17を形成する。半導体層17を用いてTFET等の半導体素子を作製すればよい。

【0085】本発明では、結晶化促進元素の除去工程前において、結晶化促進元素を除去する被ゲッタリング領域に接したソース領域及びドレイン領域となる領域に15族元素を添加するため、除去工程に要する時間を短縮することができる。本実施形態ではソース領域及びドレイン領域となる領域をゲッタリング領域である15族添加領域に用いたため、即ち素子形成部分にゲッタリング領域である15族添加領域を形成したため、素子の集積化が図れる。

【0086】[実施形態2] 図4を用いて、本実施形態を説明する。本実施形態は、実施形態1の触媒導入方法を変形したものである。また、半導体層形成以降のゲート絶縁膜の形成方法を示す。後は、実施形態1と同様である。

【0087】実施形態1に記した基板を用意し、基板20表面上に下地膜21を形成する。次に、半導体膜22として、減圧熱CVD法により非晶質シリコン膜を形成する。非晶質シリコン膜の膜厚は20～100nm(好ましくは40～75nm)とする。ここでは成膜膜厚を65nmとする。なお、減圧熱CVD法で形成した非晶質シリコン膜と同等の膜質が得られるのであればプラズマCVD法を用いても良い。

【0088】次に、非晶質シリコン膜でなる半導体膜22上にマスク絶縁膜23を形成する。マスク絶縁膜23にはパターニングによって開口部23aを設けておく。この開口部23aが結晶化促進元素の添加領域を規定する。マスク絶縁膜23としてはレジストや、酸化シリコン膜を用いることができる。ここでは120nm厚の酸化シリコン膜で形成する。

【0089】次に重量換算で5～10ppmのニッケルを含むニッケル酢酸塩をエタノールに溶かした溶液をスピコート法により塗布し、乾燥させて、結晶化促進元素を含有する膜24としてNi膜をマスク絶縁膜23上に形成する。この状態で、ニッケルはマスク絶縁膜23に設けられた開口部23aにおいて半導体膜22と接した状態となる。(図4(A))

【0090】次に、熱炉内で450℃、1時間程度の水素出しの後、ニッケルを添加した領域22aから半導体膜22にニッケルを移動させるため、加熱炉内で、不活性雰囲気、水素雰囲気または酸素雰囲気において、温度450～650℃、加熱時間4～24時間の加熱処理を行う。加熱によって、矢印で模式的に示すようにニッケルが半導体膜22内を移動しつつ、結晶化させる。ここでは570℃、8時間の加熱処理を行い、ニッケルを含有する結晶質半導体膜25を形成する。(図4(B))

【0091】この工程では、ニッケルを添加した領域22aで反応したニッケルシリサイドから優先的に進行し、基板20の基板面に対してほぼ平行に成長した結晶領域(横成長領域とよぶ)25bが形成される。横成長領域25bは比較的揃った状態で個々の結晶粒が集合しているため、全体的な結晶性に優れるという利点がある。なお、領域25aは結晶化促進元素が導入された領域であって、結晶化されるが結晶化促進元素が高濃度に残存するため、素子には不適である。また非結晶化領域25cは結晶化促進元素が移動しなかった領域であり、結晶化が進行しなかった領域である。よって、横成長領域25bだけが高性能の素子を形成するのに適している。

【0092】TEM(透過型電子顕微鏡法)観察によると、結晶質半導体膜において横成長領域25bの結晶粒は棒状または扁平棒状であり、これらの結晶粒の方位が殆ど揃っている。これら結晶粒の殆ど全てが概略{110}配向であり、 $\langle 100 \rangle$ 軸、 $\langle 111 \rangle$ 軸の方向は各結晶粒同士で同じであり、 $\langle 110 \rangle$ 軸が結晶粒間で2°ほど僅かに揺らいでいる。このように、横成長領域26bでは結晶軸の方位が揃っているために、結晶粒界での原子の結合がスムーズになり、未結合手がわずかになる。

【0093】他方、従来の多結晶シリコンは結晶粒ごとに、結晶軸の方向は不規則であるため、粒界において結合できない原子が多数存在する。この点で、本実施形態の横成長領域25bと従来の多結晶シリコン膜の結晶構造は全く異なっている。横成長領域25bは結晶粒界において、殆どの原子の接合がとぎれることがなく、二つの結晶粒が極めて整合性よく接合しているため、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。

【0094】次に、実施形態1と同様に、酸化シリコン膜でなるマスク絶縁膜27を形成する。横成長領域25bがチャネル形成領域又はチャネル形成領域及び低濃度不純物領域となる領域である被ゲッタリング領域26aに含まれるようにする。そして、15族元素としてP

(リン)を添加し、15族元素添加領域26cを形成する。横成長領域25aに残存するニッケル濃度は、実施形態1の場合の1/10程度、即ち $10^{18} \sim 10^{19}$ atom

s/cm^3 となるため、領域26cのリンの濃度は $1 \times 10^{19} \sim 1 \times 10^{20}$ atoms/ cm^3 とする。(図4(C))

【0095】なお、15族元素は領域26c膜を通過して下地膜21、基板20にも添加されるため、下地膜21または基板22中の特定の領域のみに高濃度の15族元素が含まれる。しかし、このような15族元素がTFT特性に悪影響を与えることはない。

【0096】そして、添加領域26cを形成した後、500～850℃で2～24時間の加熱処理を行い、被ゲッタリング領域26a中の結晶化促進元素を15族元素添加領域26cへと移動させて、領域26cに吸い取らせる(移動方向は矢印で示す)。こうして結晶化促進元素が 5×10^{17} atoms/ cm^3 以下、 $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/ cm^3 に低減された横成長領域が得られる。(図4(D))

【0097】結晶化促進元素除去工程が終了したら、マスク絶縁膜27を除去した後、領域26を領域26cの全部もしくは一部がソース領域及びドレイン領域となるように、領域26aがチャネル形成領域又はチャネル形成領域と低濃度不純物領域となるように島状にパターンニングして、島状の半導体層28を形成する。

【0098】次に、プラズマCVD法または減圧熱CVD法により、半導体層28を覆って窒化酸化シリコンでなる絶縁膜30を形成する。この絶縁膜30はゲート絶縁膜を構成するものであり、その膜厚は50～150 nmとする。

【0099】次に、絶縁膜30上に、ゲート電極31を形成する。例えば、Pが添加されたシリコン、Al、Ta、W、Mo、Ti、Cr等の高融点金属やこれらの合金(例えば、高融点金属同士の合金、高融点金属と窒素との合金など)を用いることができる。

【0100】以上の工程で得られた半導体層28、絶縁膜30、及びゲート電極31を用いて、TFTを作製することができる。

【0101】[実施形態3] 図5を用いて、本実施形態を説明する。本実施形態は、島状半導体層の形成後(パターンニング後)に、結晶化促進元素を除去したものである。その他は、実施形態1又は実施形態2と同様である。まず、実施形態1又は実施形態2で説明した工程に従って、半導体膜の結晶化までに行い、得られた結晶質半導体膜をパターンニングして島状半導体層35を形成する。(図5(A))

【0102】次に、実施形態1、2と同様に、酸化シリコン膜でなるマスク絶縁膜37を形成する。そして、15族元素としてP(リン)をソース領域及びドレイン領域に添加し、15族元素添加領域36cを形成する。

(図5(B))

【0103】そして、添加領域36cを形成した後、500～850℃で2～24時間の加熱処理を行い、被ゲッタリング領域36d中の結晶化促進元素を15族元素

添加領域 36c へと移動させて吸い取らせる（移動方向は矢印で示す）。こうして触媒が 5×10^{17} atoms/cm³ 以下、 $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/cm³ に低減された領域が得られる。（図 5（C））

【0104】以上の工程で得られた半導体層のソース領域、ドレイン領域は、ニッケル元素濃度が高いので、実施形態 1、2 に比べてソース領域及びドレイン領域を低抵抗化できる。

【0105】〔実施形態 4〕 図 6 を用いて、本実施形態を説明する。本実施形態は、被ゲッタリング領域をチャネル形成領域及び低濃度不純物領域として、低濃度不純物領域を形成したものである。本実施形態を実施形態 1 乃至 3 に適用することも可能である。まず、実施形態 1 乃至 3 で説明した工程に従って、被ゲッタリング領域 46d 中の結晶化促進元素が除去された島状半導体層 48 の形成まで行い、その上にゲート絶縁膜 50 を形成する。（図 6（A））

【0106】次に、ゲート電極 51 を形成する。例えば、P が添加されたシリコン、Al、Ta、W、Mo、Ti、Cr 等の高融点金属やこれらの合金（例えば、高融点金属同士の合金、高融点金属と窒素との合金など）を用いて形成する。ゲート電極 51 は、被ゲッタリング領域 46d の一部（チャネル形成領域と低濃度不純物領域となる領域のうちチャネル形成領域となる領域）上に形成する。（図 6（B））

【0107】次に、ゲート電極をマスクとして不純物を添加して低濃度不純物領域 52 を形成する。不純物の添加は、高加速度、低ドーズ量でドーピングを行い、ゲート絶縁膜を通過してリンが半導体層に添加されるようにした。条件は加速電圧 80 kV、設定ドーズ量 6×10^{13} atoms/cm² とし、添加量は $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/cm² とする。

【0108】以上の工程によって、新たなマスクを用いることなく低濃度不純物領域を形成できる。

【0109】本実施形態を用いて更に、低濃度不純物領域形成後、ゲート電極として既に形成されている第 1 の導電膜上に第 2 の導電膜をゲート電極の一部として形成し、低濃度不純物領域とその第 2 の導電膜が重なりを有するように第 2 の導電膜をパターニングすることによって、ゲート電極と低濃度不純物領域が重なる領域を有するゲート・オーバーラップド・LDD（GOLD）構造を得ることも可能である。GOLD 構造は、ホットエレクトロン注入による半導体装置の劣化を防止することができる。また、ゲート電極が 2 層でなく、3 層以上の多層構造としてもよい。

【0110】

【実施例】 図 7 ～ 図 16 を用いて、本発明の実施例を説明する。なお、実施例に実施形態 1 ～ 4 を適用してもよい。

【0111】〔実施例 1〕 本実施例は本発明を TFT

に適用した例であり、N チャネル型 TFT と P チャネル型 TFT を同一基板上に形成し、CMOS 回路を作製した例を示す。説明には図 7 ～ 図 9 を用いる。

【0112】図 7 は CMOS 回路の概略の上面図を示す。図 7 において、111 はゲート配線、108 は N チャネル型 TFT の半導体層、109 は P チャネル型 TFT の半導体層である。161、162 は半導体層 108、109 とソース配線のコンタクト部であり、163、164 は半導体層 108、109 とドレイン配線とのコンタクト部である。165 はゲート配線 111 と取出し配線とのコンタクト部（ゲートコンタクト部）である。

【0113】図 8、図 9 を用いて、TFT の作製工程を説明する。なお図 8、図 9 において左側に N チャネル型 TFT の断面図を示し、右側に P チャネル型 TFT の断面図を示す。各 TFT の断面図は図 7 の鎖線 A-A'、鎖線 B-B' で切断した断面図に対応する。

【0114】まず、コーニング社製 1737 ガラス基板を基板 100 として用いる。ガラス基板 100 上に下地膜として 300 nm 厚の酸化シリコン膜 101 を形成する。

【0115】こうして絶縁表面を有する基板が準備できたら、減圧熱 CVD 法により、ジシランを原料ガスに半導体膜として非晶質シリコン膜 102 を成膜する。非晶質シリコン膜 102 の膜厚は 55 nm とする。次に、非晶質シリコン膜 102 上に 120 nm 厚の酸化シリコン膜でなるマスク絶縁膜 103 を形成する。マスク絶縁膜 103 にはパターニングによって開口部 103a、103b が設けられている。

【0116】次に、重量換算で 10 ppm のニッケルを含むニッケル酢酸塩をエタノールに溶かした溶液をスピコートにより塗布し、乾燥して Ni 膜 104 を形成する。Ni 膜 104 はマスク絶縁膜 103 に設けられた開口部 103a、103b において非晶質シリコン膜 102 と接している。なお、非晶質シリコン膜 102 は浸潤性が乏しいので、マスク絶縁膜 103 を形成する前に UV 照射などにより数 nm 程度の酸化膜を形成しておく、Ni 膜 104 が開口部 103a、103b で接した状態で形成することが容易になる。（図 8（A））

【0117】こうして図 8（A）の状態が得られたら、加熱炉内で 450℃、1 時間程度、加熱処理して、非晶質シリコン膜 102 から水素出した後、加熱炉内で、窒素雰囲気、570℃、14 時間の加熱処理を行う。Ni 膜 104 から非晶質シリコン膜 102 内へ Ni が移動して、結晶化が進行して、横成長領域 106a、106b を有する結晶質シリコン膜 106 が形成される。（図 8（B））

【0118】結晶化工程が終了したら、600℃、1 ～ 4 時間、結晶質シリコン膜 106 を熱処理して、非晶質部分を結晶化させ、結晶性を向上させることは好まし

い。更に、KrFエキシマレーザー光を結晶質シリコン膜106に照射して、膜内に局在しているNiを移動しやすい状態にすることは好ましい。エキシマレーザーは光学系によって、0.5 mm幅、12 cm長の線状レーザー光に加工して、線状レーザー光に対して基板を相対的に1方向に走査させることにより、基板全面にレーザー光を照射する。あるいは、レーザー光を1辺が5~10 cm程度の矩形上に加工して照射することもできる。

【0119】次に、半導体膜のチャネル形成領域又はチャネル形成領域と低濃度不純物領域となる領域を含む被ゲッタリング領域上にマスク絶縁膜118を形成し、半導体膜に15族元素を添加して、Nチャネル型TFTのソース領域及びドレイン領域となる領域を形成する。ドーピングガスには水素で5%に希釈したホスフィンを用いて、P(リン)を添加する。低加速度、高ドーズ量でドーピングを行い、ドーピング条件はP濃度が半導体膜106に残存するNi濃度の10倍とし、加速電圧80 kV、設定ドーズ量 6×10^{13} atoms/cm²で添加し、添加量は $1 \times 10^{13} \sim 1 \times 10^{14}$ atoms/cm²とする。(図8(C))

【0120】半導体膜106にN⁺型領域107が形成される。ここで半導体膜106のN⁺型領域107の一部はソース及びドレイン領域となり、領域123がチャネル形成領域及び低濃度不純物領域となる。

【0121】この状態で加熱処理することで、N⁺型領域107にリンが添加されなかった領域123、133のニッケルを吸い取らせることができる。非晶質シリコン膜の結晶化のために意図的に添加したNiが、図8において矢印で模式的に示すように、チャネル形成領域又はチャネル形成領域と低濃度不純物領域を含む領域123、133からそれぞれのソース領域及びドレイン領域となる領域へ移動する。その結果、チャネル形成領域及び低濃度不純物領域となる領域内のNiが減少し、他方、ゲッタリングシンクに用いたソース領域及びドレイン領域となる領域中のNi濃度はチャネル形成領域123、133よりも高くなる。

【0122】次に、結晶質シリコン膜106を島状にパターニングして、半導体層108、109を形成する。なお、上記のエキシマレーザーの照射は半導体層108、109の形成後でもよい。(図8(D))

【0123】次に、プラズマCVD法により、SiH₄とN₂Oを原料ガスにして、窒化酸化シリコン膜110を120 nmの厚さに成膜する。次に、窒化酸化シリコン膜110上に厚さ40 nmのタンタル膜(Ta膜)をスパッタ装置において成膜しパターニングしてゲート電極111を形成する。ゲート電極はリンが添加されていない領域の一部分(Nチャネル型TFTのチャネル形成領域と低濃度不純物領域となる領域のうちチャネル形成領域となる領域)上に配置する。なお、上記のエキシマレーザー光の照射はTa膜の成膜前に実施してもよい。本

実施例では、少なくともチャネル形成領域となる領域にレーザー光が照射されればよい。(図8(E))

【0124】そしてゲート電極111をマスクとして不純物を添加して低濃度不純物領域124、125を形成する。不純物の添加は、高加速度、低ドーズ量でドーピングを行い、ゲート絶縁膜を通過してリンが半導体層に添加されるようにした。条件は加速電圧80 kV、設定ドーズ量 6×10^{13} atoms/cm²とし、添加量は $1 \times 10^{14} \sim 1 \times 10^{15}$ atoms/cm²とする。(図9(A))

【0125】次に、Pチャネル型TFTの半導体層109に13族元素であるB(ボロン)を添加する。Nチャネル型TFTをレジストマスク140で覆った後、半導体層109にBを添加する。ドーピングガスには水素で5%に希釈されたジボランを用い、P⁺型のソース領域及びドレイン領域となる領域141、142を形成する。(図9(B))

【0126】ソース領域及びドレイン領域となる領域を形成した後、レジストマスク140を除去し、電気炉内で350℃~550℃、ここでは450℃、2時間の加熱処理をする。この加熱処理で、ソース領域及びドレイン領域121、122、141、142、及び低濃度不純物領域124、125に添加されたリン、ボロンが活性化される。

【0127】次に、酸化シリコン膜でなる層間絶縁膜150を形成する。層間絶縁膜150にコンタクトホールを形成した後、電極材料としてチタン/アルミ/チタンからなる積層膜を形成し、パターニングして、配線151~153を形成する。ここでは、配線153によってNチャネル型TFTとPチャネル型TFTとを接続してCMOS回路を形成する。更に、図示しないゲート電極111に接続されたゲート配線の取出し配線も形成する。最後に水素雰囲気中において350℃、2時間程度の水素化処理を行い、TFT全体の水素終端処理を行う。(図9(C))

【0128】[実施例2] 本実施例を図10を用いて説明する。本実施例は実施例1を変形してGOLD構造を形成した例である。本実施例のGOLD構造を実施例1に適用してもよい。

【0129】結晶化促進元素が低減された島状半導体領域を形成するまでは、実施例1と同様に行う。次にゲート絶縁膜として、20 nm厚の窒化シリコン膜/100 nm厚の窒化酸化シリコン膜210を形成する。

【0130】次に、ゲート電極の形成及び低濃度不純物領域の形成を行う。窒化酸化シリコン膜210表面上に第1の導電膜215と第2の導電層216を形成する。第1の導電膜215はTi、Ta、W、Moから選ばれた材料もしくはそれらの合金からなる材料で形成すればよい。また、電気抵抗や耐熱性を考慮して前記材料を主成分とする導電材料を用いてもよい。第1の導電膜の厚さは10~100 nm、好ましくは20~50 nmとす

る必要がある。ここでは、50 nmの厚さでTi膜をスパッタ法で形成した。

【0131】第2の導電層216は、Al、Cuから選ばれた材料を用いることが好ましい。これはゲート電極の電気抵抗を下げるために設けられるものであり、50～400 nm、好ましくは100～200 nmの厚さに形成する。Alを用いる場合には、純Alを用いても良いし、Ti、Si、Scから選ばれた元素が0.1～5 atom%添加されたAl合金を用いても良い。また銅を用いる場合には、図示しないが、ゲート絶縁膜210の表面に窒化シリコン膜を30～100 nmの厚さで設けておく为好ましい。

【0132】ここでは、Scが0.5 atom%添加されたAl膜をスパッタ法で200 nmの厚さに形成した。

(図10(A))

そして、Pチャネル型TFETが形成される領域にレジストマスク314を形成して、N型を付与する第1の不純物元素を添加する工程を行った。結晶質半導体材料に対してN型を付与する不純物元素としては、リン(P)、砒素(As)、アンチモン(Sb)などが知られているが、ここでは、リンを用い、フォスフィン(PH₃)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜210と第1の導電膜215を通してその下の半導体層にリンを添加するために、加速電圧は80 keVと高めに設定した。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ atoms/cm³の範囲にするのが好ましく、ここでは 1×10^{18} atoms/cm³とした。そして、半導体層に低濃度にリンが添加された領域315、316が形成された。(図10(B))

【0133】そして、レジストマスク314を除去した後、第1の導電膜215と第2の導電層216に密接させて図示しない第3の導電膜を形成した。第3の導電膜はTi、Ta、W、Moから選ばれた材料で形成すれば良いが、電気抵抗や耐熱性を考慮して前記材料を主成分とする化合物を用いても良い。例えば、また、第3の導電膜の厚さは10～100 nm、好ましくは20～50 nmとする必要がある。ここでは、50 nmの厚さでTa膜をスパッタ法で形成した。その後、第1の導電膜と第3の導電膜を同時にパターニングして、チャネル長方向の長さが同じ第1の導電層217と第3の導電層218を形成した。(図10(C))

次に、Pチャネル型TFETの半導体層209に13族元素であるB(ボロン)を添加する。Nチャネル型TFETをレジストマスク240で覆った後、半導体層209にBを添加する。ドーピングガスには水素で5%に希釈されたジボランを用い、P'型のソース領域及びドレイン領域241、242を形成する。(図10(D))

【0134】ソース領域及びドレイン領域を形成した後、レジストマスク240を除去して、電気炉内で450℃、2時間の加熱処理をする。この加熱処理でゲッタ

リングと同時に、ソース領域及びドレイン領域211、212、241、242、及び低濃度不純物領域315、316に添加されるリン、ボロンが活性化される。

【0135】次に、酸化シリコン膜でなる層間絶縁膜256を形成する。層間絶縁膜256にコンタクトホールを形成した後、電極材料としてチタン/アルミ/チタンからなる積層膜を形成し、パターニングして、配線251～253を形成する。ここでは、配線253によってNチャネル型TFETとPチャネル型TFETとを接続してCMOS回路を形成する。更に、図示しないゲート配線111の取出し配線も形成する。最後に水素雰囲気中において350℃、2時間程度の水素化処理を行い、TFET全体の水素終端処理を行う。(図10(E))

【0136】[実施例3] 本実施例を図11を用いて説明する。本実施例は、活性化工程後にゲート電極を形成したものであって、ゲート電極の耐熱性が劣ることによる信頼性の低下を実施例1や実施例2より更に防止することができる。本実施例を実施例1又は実施例2に適用してもよい。

【0137】15属元素の添加までは実施例1と同様に行う。この状態で加熱処理することで、N'型領域311、312、313にリンが添加されなかった領域323、333のニッケルを吸い取らせることができるが、本実施例では、Pチャネル型TFETとなる領域に13族元素であるB(ボロン)を添加した後、結晶化促進元素の除去工程を行う。

【0138】そこで、Nチャネル型TFETをレジストマスク340で覆った後、Pチャネル型TFETとなる半導体膜にBを添加する。ドーピングガスには水素で5%に希釈されたジボランを用い、P'型のソース領域及びドレイン領域341、342、チャネル形成領域となる領域343を形成する。(図11(B))

【0139】Pチャネル型のソース領域及びドレイン領域341、342に結晶化促進元素を吸い取らせるには、ボロンイオンの濃度が、当該領域に添加されるリンイオン濃度の1.3～2倍程度にする。

【0140】ソース領域及びドレイン領域に不純物添加後、電気炉内で500℃、2時間の加熱処理をする。この加熱処理により、非晶質シリコン膜の結晶化のために意図的に添加したNiが、図11(C)において矢印で模式的に示すように、被ゲッタリング領域323、343からそれぞれのソース領域及びドレイン領域321、322、341、342へ移動する。その結果、被ゲッタリング領域323、343内のNiが減少し、他方、ゲッタリングシンクに用いたソース領域及びドレイン領域321、322、341、342中のNi濃度は被ゲッタリング領域323、343よりも高くなる。(図11(C))

【0141】更に、この加熱処理でゲッタリングと同時

に、ソース領域及びドレイン領域321、322、341、342、に添加されたリン、ボロンが活性化される。次に、プラズマCVD法により、 SiH_4 と N_2O を原料ガスにして、窒化酸化シリコン膜310を120nmの厚さに成膜する。次に、窒化酸化シリコン膜310上のPチャネル型TFTをレジストマスク又はマスク絶縁膜350で覆い、Nチャネル型TFTのチャネル形成領域上レジストマスク又はマスク絶縁膜351を形成した後、15族元素としてリンを添加する。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の範囲にするのが好ましく、ここでは $1 \times 10^{18} \text{ atoms/cm}^3$ とした。こうして、Nチャネル型TFTの低濃度不純物領域355、356を形成する。(図11(D))

【0142】その後、電気炉内で450℃、2時間の加熱処理をすることは好ましい。この加熱処理で、ソース領域及びドレイン領域321、322、341、342、及び低濃度不純物領域355、356に添加されたリン、ボロンが活性化される。

【0143】次に、ゲート配線360を形成する導電膜を成膜する。ここでは、窒化タンタル(TaN_x) / タンタル(Ta) / 窒化タンタル(TaN_x)の3層をスパッタ法で成膜した。 TaN_x 膜の厚さは50nmとし、 Ta 膜の厚さは250nmとする。そしてこの3層膜をパターニングしてゲート配線360を形成する。本実施例では、Nチャネル型TFTはGOLD構造とし、Pチャネル型TFTは低濃度不純物領域のない構造とした。(図11(E))

【0144】次に、酸化シリコン膜でなる層間絶縁膜370を形成する。層間絶縁膜370にコンタクトホールを形成した後、電極材料としてチタン/アルミ/チタンからなる積層膜を形成し、パターニングして、配線371~373を形成する。ここでは、配線373によってNチャネル型TFTとPチャネル型TFTとを接続してCMOS回路を形成する。更に、図示しないゲート配線360の取出し配線も形成する。最後に酸素雰囲気中において350℃、2時間程度の酸素化処理を行い、TFT全体の酸素終端処理を行う。(図11(F))

【0145】〔実施例4〕 本実施例では、実施例1で説明したTFTをアクティブマトリクス基板に適用したものである。本実施例のアクティブマトリクス基板は液晶表示装置や、EL表示装置などの平板型の電気光学装置に用いられる。なお、本実施例を実施例2又は実施例3に適用してもよい。

【0146】図12~図14を用いて、本実施例を説明する。図12~図14で同じ符号は同じ構成要素を示す。図12は本実施例のアクティブマトリクス基板の概略斜視図である。アクティブマトリクス基板は、ガラス基板400上に形成された、画素部401、走査線駆動回路402、信号線駆動回路403で構成される。走査

線駆動回路402、信号線駆動回路403はそれぞれ走査線502、信号線503によって画素部401に接続され、これら駆動回路402、403は、CMOS回路で主に構成されている。

【0147】走査線502は画素部401の行ごとに形成され、信号線503は列ごとに形成されている。走査線502、信号線503の交差部近傍には、各配線502、503に接続された画素TFT406が形成されている。画素TFT406には、画素電極407、保持容量408が接続されている。

【0148】まず、実施例1のTFTの作製工程に従って、駆動回路402、403のNチャネル型TFT、Pチャネル型TFT、画素部401の画素TFT406を完成する。

【0149】図13(A)は画素部401の上面図であり、ほぼ1画素の上面図である。図13(B)は駆動回路402、403を構成するCMOS回路の上面図である。図14はアクティブマトリクス基板の断面図であり、画素部401、CMOS回路の断面図である。画素部401の断面図は図13(A)の鎖線A-A'に沿った断面図であり、CMOS回路の断面図は図13(B)の鎖線B-B'に沿った断面図である。

【0150】画素部401の画素TFT406はNチャネル型TFTである。「U」字型(馬蹄型)に屈曲した半導体層501を有する。第1層目の配線である走査線502がゲート絶縁膜510を挟んで半導体層501と交差している。

【0151】半導体層501には、N'型領域511~513、2つのチャネル形成領域514、515、低濃度不純物領域(N'型領域)516~519が形成される。N'型領域511、512はソース領域及びドレイン領域である。

【0152】他方、CMOS回路では、1本のゲート配線601が2つの半導体層602、603とゲート絶縁膜610を挟んで交差している。半導体層602には、ソース領域及びドレイン領域(N'型領域)611、612、チャネル形成領域613、低濃度不純物領域(N'型領域)614、615が形成されている。半導体層603には、ソース領域及びドレイン領域(P'型領域)621、622、チャネル形成領域623が形成されている。

【0153】半導体層501、602、603にソース領域及びドレイン領域を形成した後、基板全面に層間絶縁膜430が形成される。層間絶縁膜430上には第2層目の配線・電極として、信号線503、ドレイン電極504、ソース電極631、632、ドレイン電極633が形成される。

【0154】走査線502と信号線503は層間絶縁膜430を挟んで、図13(A)に示すように直交している。ドレイン電極504はドレイン領域512を画素電

極 505 に接続させるための取出し電極である共に、保持容量 408 の下部電極である。保持容量 408 の容量を大きくするため、ドレイン電極 504 は開口部を低下させない限りにおいて、できるだけ広くなるようにしている。

【0155】第 2 層目の配線・電極上に、第 1 の平坦化膜 440 が形成されている。本実施例では窒化シリコン (50 nm) / 酸化シリコン (25 nm) / アクリル (1 μ m) の積層膜を第 1 の平坦化膜 440 として利用する。アクリルやポリイミド、ベンゾシクロブテン (BCB) といった有機性樹脂膜は、スピンコート法で形成可能な溶液塗布型絶縁膜なので、1 μ m 程度の膜厚を高いスループットで形成することが可能であり、良好な平坦面が得られる。更に、有機性樹脂膜は窒化シリコンや酸化シリコンと較べて誘電率が低いため、寄生容量を小さくすることができる。

【0156】次に、第 1 の平坦化膜 440 上に、第 3 層目の配線として、チタンやクロム等の遮光性導電膜であるソース配線 641、642、ドレイン配線 643、ブラックマスク 520 が形成されている。図 13 (A) に示すように画素部 401 でブラックマスク 520 は一体であり、画素電極 505 の周辺とオーバーラップして、表示に寄与しない部分を全て覆うように形成されている。なお、ブラックマスク 520 は図 13 (A) に点線で示すように配置されている。またブラックマスク 520 の電位は所定の値に固定される。

【0157】これら第 3 層目の配線 641、642、643、520 の形成に先立って、第 1 の平坦化膜 440 をエッチングして、最下層の窒化シリコン膜のみを残した凹部 530 をドレイン電極 504 上に形成する。

【0158】凹部 530 では、ドレイン電極 504 とブラックマスク 520 とが窒化シリコン膜のみを挟んで対向しているので、凹部 530 においてドレイン電極 504、ブラックマスク 520 を電極に、窒化シリコン膜を誘電体とする保持容量 408 が形成される。窒化シリコンは比誘電率が高く、しかも膜厚を薄くすることでより大きな容量を確保できる。

【0159】第 3 層目の配線 641、642、520 上に第 2 の平坦化膜 450 が形成されている。第 2 の平坦化膜 450 は 1.5 μ m 厚のアクリルで形成する。保持容量 408 が形成された部分は大きな段差を生じるが、その様な段差も十分に平坦化できる。

【0160】第 1 の平坦化膜 440 及び第 2 の平坦化膜 450 にコンタクトホールを形成し、ITO や酸化スズ等の透明導電膜からなる画素電極 505 が形成される。こうしてアクティブマトリクス基板が完成する。

【0161】本実施例のアクティブマトリクス基板を液晶表示装置に利用する場合には、基板全面を覆って図示しない配向膜を形成する。必要に応じて配向膜にラビング処理が施される

【0162】なお、画素電極 505 として反射率の高い導電膜、代表的にはアルミニウムまたはアルミニウムを主成分とする材料を用いれば、反射型 AMLCD 用のアクティブマトリクス基板を作製することもできる。

【0163】また、本実施例では画素 TFT 406 をダブルゲート構造としているが、シングルゲート構造でも良いし、トリプルゲート構造等のマルチゲート構造としても構わない。また、実施例 1 で示した逆スタガ型 TFT で形成することもできる。本実施例のアクティブマトリクス基板の構造は本実施例の構造に限定されるものではない。本発明の特徴はゲート配線の構成にあるので、それ以外の構成については実施者が適宜決定すれば良い。

【0164】〔実施例 5〕 本実施例では実施例 4 で示したアクティブ基板を用いた電気光学装置の一例として、アクティブマトリクス方式の液晶表示装置 (AMLCD と記す) を構成した例について説明する。

【0165】本実施例の AMLCD の外観を図 15 に示す。図 15 (A) において図 12 と同じ符号は同じ構成要素を示す。アクティブマトリクス基板は、ガラス基板 400 上に形成された画素部 401、走査線駆動回路 402、信号線駆動回路 403 を有する。

【0166】アクティブマトリクス基板と対向基板 700 とが貼り合わされている。これら基板の隙間に液晶が封止されている。ただし、アクティブマトリクス基板には、TFT の作製工程で外部端子が形成されており、この外部端子が形成された部分是对向基板 700 と対向していない。外部端子には FPC (フレキシブル・プリント・サーキット) 710 が接続され、FPC 710 を介して外部信号、電源が回路 401 ~ 403 へ伝達される。

【0167】対向基板 700 は、ガラス基板上全面に ITO 膜等の透明導電膜が形成されている。透明導電膜は画素部 401 の画素電極に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。更に、対向基板 700 には必要であれば配向膜や、カラーフィルタが形成されている。

【0168】本実施例のアクティブマトリクス基板には、FPC 710 を取り付け面を利用して IC チップ 711、712 が取り付けられている。これらの IC チップはビデオ信号の処理回路、タイミングパルス発生回路、 γ 補正回路、メモリ回路、演算回路などの回路をシリコン基板上に形成して構成される。図 15 (A) では IC チップを 2 個取り付けたが、1 個でも良いし、3 個以上であっても良い。

【0169】あるいは図 15 (B) の構成も可能である。図 15 (B) において図 15 (A) と同一の構成要素は同じ符号を付した。ここでは図 15 (A) で IC チップが行っていた信号処理を、同一基板上に TFT でもって形成されたロジック回路 720 によって行う例を示

している。この場合、ロジック回路 720 も駆動回路 402、403 と同様に CMOS 回路を基本として構成されている。

【0170】本実施例では、ブラックマスクをアクティブマトリクス基板に設ける構成 (BMon TFT) を採用するが、それに加えて対向側にブラックマスクを設ける構成とすることも可能である。

【0171】また、カラーフィルターを用いてカラー表示を行っても良いし、ECB (電界制御複屈折) モード、GH (ゲストホスト) モードなどで液晶を駆動し、カラーフィルターを用いない構成としても良い。また、特開平 8-15686 号公報に記載されたように、マイクロレンズアレイを用いる構成にしても良い。

【0172】〔実施例 6〕 実施例 1、2、3 で示した TFT は、AMLCD 以外にも他の様々な電気光学装置や半導体回路に適用することができる。

【0173】AMLCD 以外の電気光学装置としては EL (エレクトロルミネッセンス) 表示装置やイメージセンサ等を挙げることができる。

【0174】また、半導体回路としては、IC チップで構成されるマイクロプロセッサの様な演算処理回路、携帯機器の入出力信号を扱う高周波モジュール (MMIC など) が挙げられる。

【0175】この様に本発明は絶縁ゲート型 TFT で構成される回路によって機能する全ての半導体装置に対して適用することが可能である。

【0176】〔実施例 7〕 上述の本発明の液晶表示装置にはネマチック液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLCD Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al. や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al. や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al. や、米国特許第 5594569 号に開示された液晶を用いることが可能である。

【0177】等方相-コレステリック相-カイラルスメクティック C 相転移系列を示す強誘電性液晶 (FLC) を用い、DC 電圧を印加しながらコレステリック相-カイラルスメクティック C 相転移をさせ、かつコーンエッジをほぼラビング方向に一致させた単安定 FLC の電気光学特性を図 16 に示す。図 16 に示すような強誘電性液晶による表示モードは「Half-V 字スイッチングモード」と呼ばれている。図 16 に示すグラフの縦軸は透過率 (任意単位)、横軸は印加電圧である。「Half-V 字スイッチングモード」については、寺田らの

Half-V 字スイッチングモード FLCD"、第 46 回応用物理学関係連合講演会講演予稿集、1999 年 3 月、第 1316 頁、および吉原らの"強誘電性液晶による時分割フルカラー LCD"、液晶第 3 巻第 3 号第 190 頁に詳しい。

【0178】図 16 に示されるように、このような強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。本発明の液晶表示装置には、このような電気光学特性を示す強誘電性液晶も用いることができる。

【0179】また、ある温度域において反強誘電相を示す液晶を反強誘電性液晶 (AFLC) という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しき値反強誘電性混合液晶と呼ばれるものがある。この無しき値反強誘電性混合液晶は、いわゆる V 字型の電気光学応答特性を示すものがあり、その駆動電圧が約 ± 2.5 V 程度 (セル厚約 $1 \mu\text{m} \sim 2 \mu\text{m}$) のものも見出されている。

【0180】また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。

【0181】なお、このような無しき値反強誘電性混合液晶を本発明の液晶表示装置に用いることによって低電圧駆動が実現されるので、低消費電力化が実現される。

【0182】〔実施例 8〕 本実施例では、本願発明を用いて EL (エレクトロルミネッセンス) 表示装置を作製した例について説明する。

【0183】図 17 A は本願発明を用いた EL 表示装置の上面図である。図 17 A において、4010 は基板、4011 は画素部、4012 はソース側駆動回路、4013 はゲート側駆動回路であり、それぞれの駆動回路は配線 4014 ~ 4016 を経て FPC 4017 に至り、外部機器へと接続される。

【0184】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材 6000、シーリング材 (ハウジング材ともいう) 7000、密封材 (第 2 のシーリング材) 7001 が設けられている。

【0185】また、図 17 B は本実施例の EL 表示装置の断面構造であり、基板 4010、下地膜 4021 の上に駆動回路用 TFT (但し、ここでは n チャンネル型 TFT と p チャンネル型 TFT を組み合わせた CMOS 回路を図示している。) 4022 及び画素部用 TFT 4023 (但し、ここでは EL 素子への電流を制御する TFT だけ図示している。) が形成されている。これらの TFT

は公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0186】本願発明は、駆動回路用 TFT 4022、画素部用 TFT 4023 に際して用いることができる。

【0187】本願発明を用いて駆動回路用 TFT 4022、画素部用 TFT 4023 が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026 の上に画素部用 TFT 4023 のドレインと電気的に接続する透明導電膜でなる画素電極 4027 を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITO と呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極 4027 を形成したら、絶縁膜 4028 を形成し、画素電極 4027 上に開口部を形成する。

【0188】次に、EL 層 4029 を形成する。EL 層 4029 は公知の EL 材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL 材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0189】本実施例では、シャドーマスクを用いて蒸着法により EL 層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の EL 表示装置とすることもできる。

【0190】EL 層 4029 を形成したら、その上に陰極 4030 を形成する。陰極 4030 と EL 層 4029 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で EL 層 4029 と陰極 4030 を連続成膜するか、EL 層 4029 を不活性雰囲気中で形成し、大気解放しないで陰極 4030 を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0191】なお、本実施例では陰極 4030 として、LiF（フッ化リチウム）膜と Al（アルミニウム）膜の積層構造を用いる。具体的には EL 層 4029 上に蒸着法で 1 nm 厚の LiF（フッ化リチウム）膜を形成し、その上に 300 nm 厚のアルミニウム膜を形成する。勿論、公知の陰極材料である MgAg 電極を用いても良い。そして陰極 4030 は 4031 で示される領域において配線 4016 に接続される。配線 4016 は陰

極 4030 に所定の電圧を与えるための電源供給線であり、導電性ペースト材料 4032 を介して FPC 4017 に接続される。

【0192】4031 に示された領域において陰極 4030 と配線 4016 とを電気的に接続するために、層間絶縁膜 4026 及び絶縁膜 4028 にコンタクトホールを形成する必要がある。これらは層間絶縁膜 4026 のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜 4028 のエッチング時（EL 層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜 4028 をエッチングする際に、層間絶縁膜 4026 まで一括でエッチングしても良い。この場合、層間絶縁膜 4026 と絶縁膜 4028 が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0193】このようにして形成された EL 素子の表面を覆って、パッシベーション膜 6003、充填材 6004、カバー材 6000 が形成される。

【0194】さらに、EL 素子部を囲むようにして、カバー材 7000 と基板 4010 の内側にシーリング材が設けられ、さらにシーリング材 7000 の外側には密封材（第2のシーリング材）7001 が形成される。

【0195】このとき、この充填材 6004 は、カバー材 6000 を接着するための接着剤としても機能する。充填材 6004 としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。この充填材 6004 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0196】また、充填材 6004 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0197】スペーサーを設けた場合、パッシベーション膜 6003 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0198】また、カバー材 6000 としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6004 として PVB や EVA を用いる場合、数十 μm のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0199】但し、EL 素子からの発光方向（光の放射方向）によっては、カバー材 6000 が透光性を有する必要がある。

【0200】また、配線 4016 はシーリング材 700

0 および密封材 7001 と基板 4010 との隙間を通して FPC 4017 に電氣的に接続される。なお、ここでは配線 4016 について説明したが、他の配線 4014、4015 も同様にしてシーリング材 7000 および密封材 7001 の下を通して FPC 4017 に電氣的に接続される。

【0201】〔実施例 9〕本実施例では、本願発明を用いて実施例 8 とは異なる形態の EL 表示装置を作製した例について、図 18A、18B を用いて説明する。図 17A、17B と同じ番号のものは同じ部分を指している

ので説明は省略する。

【0202】図 18A は本実施例の EL 表示装置の上面図であり、図 18A を A-A' で切断した断面図を図 18B に示す。

【0203】実施例 8 に従って、EL 素子の表面を覆ってパッシベーション膜 6003 までは形成する。

【0204】さらに、EL 素子を覆うようにして充填材 6004 を設ける。この充填材 6004 は、カバー材 6000 を接着するための接着剤としても機能する。充填材 6004 としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）または EVA（エチレンビニルアセテート）を用いることができる。この充填材 6004 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0205】また、充填材 6004 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0206】スペーサーを設けた場合、パッシベーション膜 6003 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0207】また、カバー材 6000 としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6004 として PVB や EVA を用いる場合、数十 μm のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0208】但し、EL 素子からの発光方向（光の放射方向）によっては、カバー材 6000 が透光性を有する必要がある。

【0209】次に、充填材 6004 を用いてカバー材 6000 を接着した後、充填材 6004 の側面（露呈面）を覆うようにフレーム材 6001 を取り付ける。フレーム材 6001 はシーリング材（接着剤として機能する）6002 によって接着される。このとき、シーリング材

6002 としては、光硬化性樹脂を用いるのが好ましいが、EL 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材 6002 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材 6002 の内部に乾燥剤を添加してあっても良い。

【0210】また、配線 4016 はシーリング材 6002 と基板 4010 との隙間を通して FPC 4017 に電氣的に接続される。なお、ここでは配線 4016 について説明したが、他の配線 4014、4015 も同様にしてシーリング材 6002 の下を通して FPC 4017 に電氣的に接続される。

【0211】〔実施例 10〕実施例 8 および 9 のような構成からなる EL 表示パネルにおいて、本願発明を用いることができる。ここで画素部のさらに詳細な断面構造を図 19 に、上面構造を図 20A に、回路図を図 20B に示す。図 19、図 20A 及び図 20B では共通の符号を用いるので互いに参照すれば良い。

【0212】図 19 において、基板 3501 上に設けられたスイッチング用 TFT 3502 は本願発明を用いた NTFT を用いて形成される。なお、図 19 では実施例 2 の NTFT と同様の構成としているが、実施例 1 や実施例 3 の構成としてもよい。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、本願発明の PTFT を用いて形成しても構わない。

【0213】また、電流制御用 TFT 3503 は本願発明を用いた NTFT を用いて形成される。このとき、スイッチング用 TFT 3502 のドレイン配線 35 は配線 36 によって電流制御用 TFT のゲート電極 37 に電氣的に接続されている。また、38 で示される配線は、スイッチング用 TFT 3502 のゲート電極 39a、39b を電氣的に接続するゲート配線である。

【0214】このとき、電流制御用 TFT 3503 が本実施例の構造であることは非常に重要な意味を持つ。電流制御用 TFT は EL 素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用 TFT のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるように LDD 領域を設ける本願発明の構造は極めて有効である。

【0215】また、本実施例では電流制御用 TFT 3503 をシングルゲート構造で図示しているが、複数の TFT を直列につなげたマルチゲート構造としても良い。

さらに、複数の T F T を並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0216】また、図 20A に示すように、電流制御用 T F T 3503 のゲート電極 37 となる配線は 3504 で示される領域で、電流制御用 T F T 3503 のドレイン配線 40 と絶縁膜を介して重なる。このとき、3504 で示される領域ではコンデンサが形成される。このコンデンサ 3504 は電流制御用 T F T 3503 のゲート

にかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線 40 は電流供給線（電源線）3506 に接続され、常に一定の電圧が加えられている。

【0217】スイッチング用 T F T 3502 及び電流制御用 T F T 3503 の上には第 1 パッシベーション膜 41 が設けられ、その上に樹脂絶縁膜でなる平坦化膜 42 が形成される。平坦化膜 42 を用いて T F T による段差を平坦化することは非常に重要である。後に形成される E L 層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、E L 層をできる

だけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0218】また、43 は反射性の高い導電膜でなる画素電極（E L 素子の陰極）であり、電流制御用 T F T 3503 のドレインに電氣的に接続される。画素電極 43 としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0219】また、絶縁膜（好ましくは樹脂）で形成されたバンク 44a、44b により形成された溝（画素に相当する）の中に発光層 45 が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機 E L 材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（P P V）系、ポリビニルカルバゾール（P V K）系、ポリフルオレン系などが挙げられる。

【0220】なお、P P V 系有機 E L 材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平 10-92576 号公報に記載されたような材料を用いれば良い。

【0221】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は 30 ~ 150 n

m（好ましくは 40 ~ 100 nm）とすれば良い。

【0222】但し、以上の例は発光層として用いることのできる有機 E L 材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて E L 層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0223】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機 E L 材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機 E L 材料や無機材料は公知の材料を用いることができる。

【0224】本実施例では発光層 45 の上に P E D O T（ポリチオフェン）または P A n i（ポリアニリン）でなる正孔注入層 46 を設けた積層構造の E L 層としている。そして、正孔注入層 46 の上には透明導電膜でなる陽極 47 が設けられる。本実施例の場合、発光層 45 で生成された光は上面側に向かって（T F T の上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0225】陽極 47 まで形成された時点で E L 素子 3505 が完成する。なお、ここでいう E L 素子 3505 は、画素電極（陰極）43、発光層 45、正孔注入層 46 及び陽極 47 で形成されたコンデンサを指す。図 20A に示すように画素電極 43 は画素の面積にほぼ一致するため、画素全体が E L 素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0226】ところで、本実施例では、陽極 47 の上にさらに第 2 パッシベーション膜 48 を設けている。第 2 パッシベーション膜 48 としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と E L 素子とを遮断することであり、有機 E L 材料の酸化による劣化を防ぐ意味と、有機 E L 材料からの脱ガスを抑える意味との両方を併せ持つ。これにより E L 表示装置の信頼性が高められる。

【0227】以上のように本実施例の E L 表示パネルは図 19 のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用 T F T と、ホットキャリア注入に強い電流制御用 T F T とを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な E L 表示パネルが得られる。

【0228】なお、本実施例の構成は、実施例 1 ~ 3 構成と自由に組み合わせて実施することが可能である。また、実施例 7 の電子機器の表示部として本実施例の E L

表示パネルを用いることは有効である。

【0229】〔実施例11〕本実施例では、実施例10に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図21を用いる。なお、図19の構造と異なる点はEL素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0230】図21において、電流制御用TFT3503は本願発明のPTFTを用いて形成される。なお、図21では実施例2のPTFTと同様の構成としているが、実施例1や実施例3の構成としてもよい。

【0231】本実施例では、画素電極（陽極）50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0232】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート（acacKと表記される）でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうしてEL素子3701が形成される。

【0233】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0234】なお、本実施例の構成は、実施例1～3の構成と自由に組み合わせて実施することが可能である。また、実施例7の電子機器の表示部として本実施例のEL表示パネルを用いることは有効である。

【0235】〔実施例12〕本実施例では、図20Bに示した回路図とは異なる構造の画素とした場合の例について図22A～Cに示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、3805はコンデンサ、3806、3808は電流供給線、3807はEL素子とする。

【0236】図22Aは、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0237】また、図22Bは、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図22Bでは電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介

して重なるように設けることもできる。この場合、電源供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0238】また、図22Cは、図22Bの構造と同様に電流供給線3808をゲート配線3803と平行に設け、さらに、二つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート配線3803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0239】なお、本実施例の構成は、実施例1～3、8または9の構成と自由に組み合わせて実施することが可能である。また、実施例7の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0240】〔実施例13〕実施例10に示した図20A、20Bでは電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施例10の場合、電流制御用TFT3503として実施例2と同様の構成のNTFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0241】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0242】また、実施例12に示した図22A、B、Cの構造においても同様に、コンデンサ3805を省略することは可能である。

【0243】なお、本実施例の構成は、実施例1～3、8～12の構成と自由に組み合わせて実施することが可能である。また、実施例7の電子機器の表示部として本実施例の画素構造を有するEL表示パネルを用いることは有効である。

【0244】〔実施例14〕本願発明を実施して形成されたCMOS回路や画素部は様々な表示装置（アクティブマトリクス型の液晶表示装置、アクティブマトリクス型のEL表示装置、アクティブマトリクス型のEC表示装置）に用いることができる。即ち、それら表示装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0245】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフ

ロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図23、図24及び図25に示す。

【0246】図23(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0247】図23(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号制御回路に適用することができる。

【0248】図23(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205やその他の信号制御回路に適用できる。

【0249】図23(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303等を含む。本発明は表示部2302やその他の信号制御回路に適用することができる。

【0250】図23(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402やその他の信号制御回路に適用することができる。

【0251】図23(F)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部(図示しない)等を含む。本願発明を表示部2502やその他の信号制御回路に適用することができる。

【0252】図24(A)はフロント型プロジェクターであり、投射装置2601、スクリーン2602等を含む。本発明は投射装置2601の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0253】図24(B)はリア型プロジェクターであり、本体2701、投射装置2702、ミラー2703、スクリーン2704等を含む。本発明は投射装置2702の一部を構成する液晶表示装置2808やその他の信号制御回路に適用することができる。

【0254】なお、図24(C)は、図24(A)及び図24(B)中における投射装置2601、2702の

構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図24(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0255】また、図24(D)は、図24(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図24(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0256】ただし、図24に示したプロジェクターにおいては、透過型の表示装置を用いた場合を示しており、反射型の表示装置及びEL表示装置での適用例は図示していない。

【0257】図25(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0258】図25(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。

【0259】図25(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上(特に30インチ以上)のディスプレイには有利である。

【0260】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~6、8~13のどのような組み合わせからなる構成を用いても実現することができる。

【0261】

【発明の効果】本発明は、結晶化促進元素を用いて半導体膜を結晶化する、または結晶性を高める技術を用いる

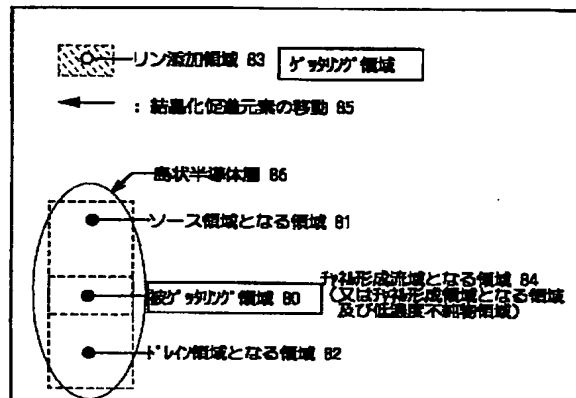
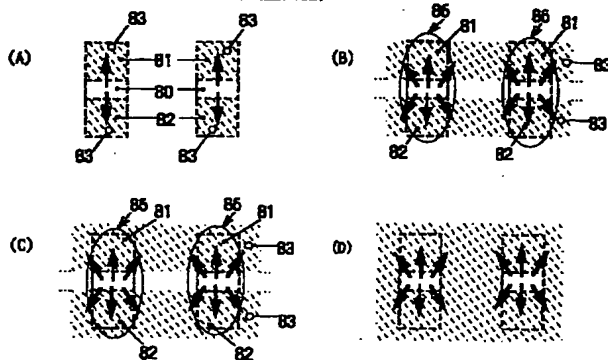
にあたって、被ゲッタリング領域に接してゲッタリング領域を設けたため、結晶化促進元素除去工程を時短化でき、結晶化促進元素除去工程を効率良く行うことが可能になる。また、結晶化促進元素除去工程のプロセス温度を600℃より低い温度で行うことが可能なため、ガラス基板を使用することが十分可能である。

【図面の簡単な説明】

- 【図1】 結晶化促進元素除去の模式図
 【図2】 従来の結晶化促進元素除去の模式図
 【図3】 実施形態1の作製工程を示す断面図
 【図4】 実施形態2の作製工程を示す断面図
 【図5】 実施形態3の作製工程を示す断面図
 【図6】 実施形態4の作製工程を示す断面図
 【図7】 実施例1のCMOS回路の平面図。
 【図8】 実施例1のTFTの作製工程を示す断面図
 【図9】 実施例1のTFTの作製工程を示す断面図
 【図10】 実施例2のTFTの作製工程を示す断面図
 【図11】 実施例3のTFTの作製工程を示す断面図
 【図12】 実施例4のアクティブマトリクス基板の斜視図
 【図13】 画素部、CMOS回路の上面図
 【図14】 アクティブマトリクス基板の断面図

【図1】

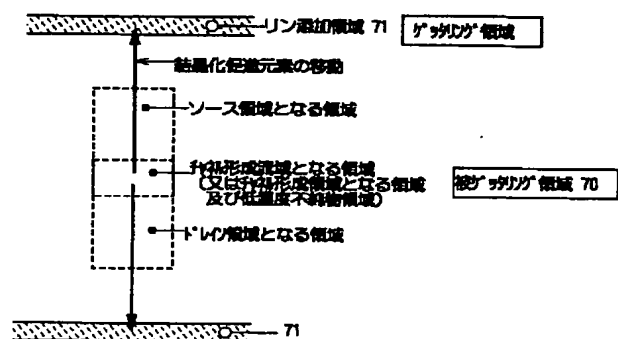
結晶化促進元素除去の模式図（上面図）



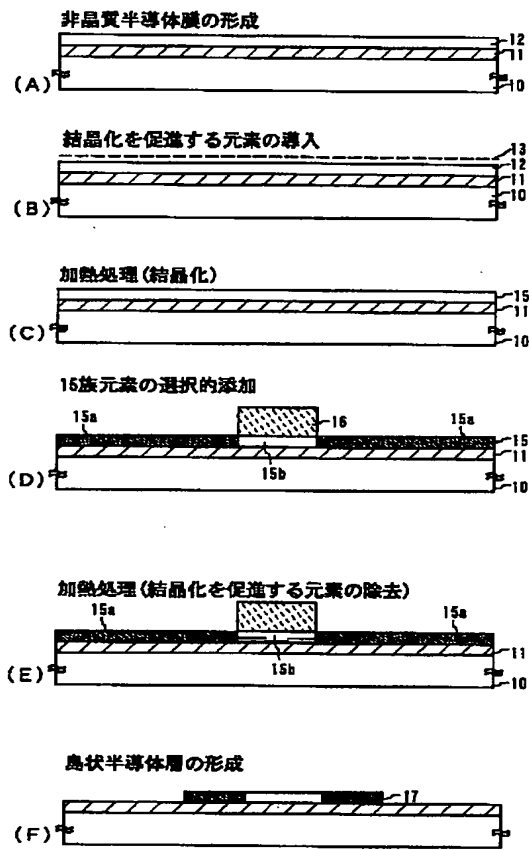
- 【図15】 実施例5の液晶表示装置の外観斜視図
 【図16】 反強誘電性混合液晶の光透過率特性の一例を示す図
 【図17】 実施例8のEL表示装置の上面図および断面図
 【図18】 実施例9のEL表示装置の上面図および断面図
 【図19】 実施例10のEL表示装置の断面図
 【図20】 実施例10のEL表示装置の上面図および断面図
 10 回路図
 【図21】 実施例11のEL表示装置の断面図
 【図22】 実施例12のEL表示装置の回路図
 【図23】 実施例14の電子機器の構成図
 【図24】 実施例14の電子機器の構成図
 【図25】 実施例14の電子機器の構成図
 【符号の説明】
 100 基板
 102 非晶質シリコン膜
 104 Ni膜
 20 106 結晶質シリコン膜
 108、109 半導体層

【図2】

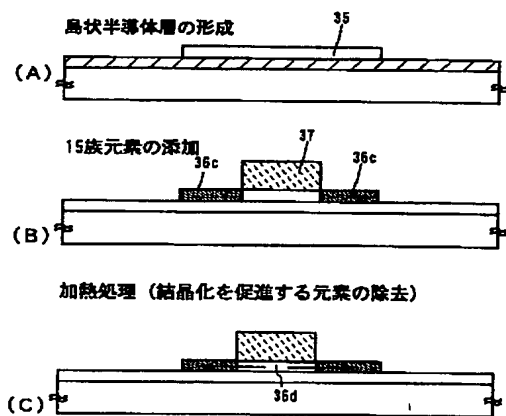
従来の結晶化促進元素除去の模式図（上面図）



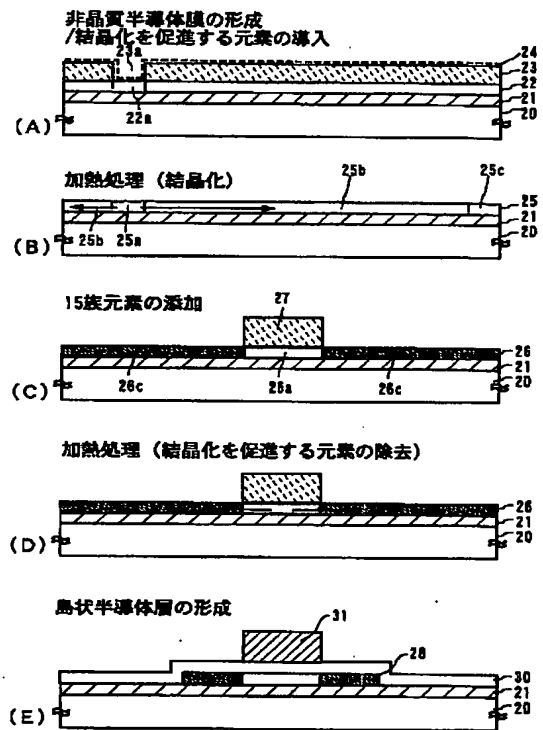
【図3】



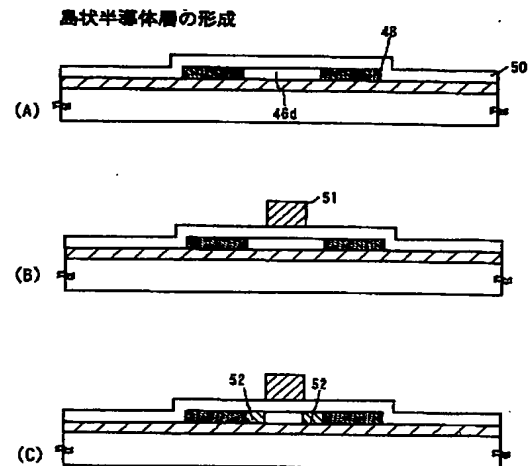
【図5】



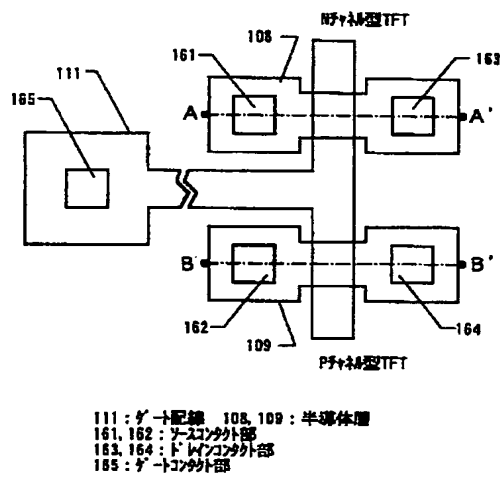
【図4】



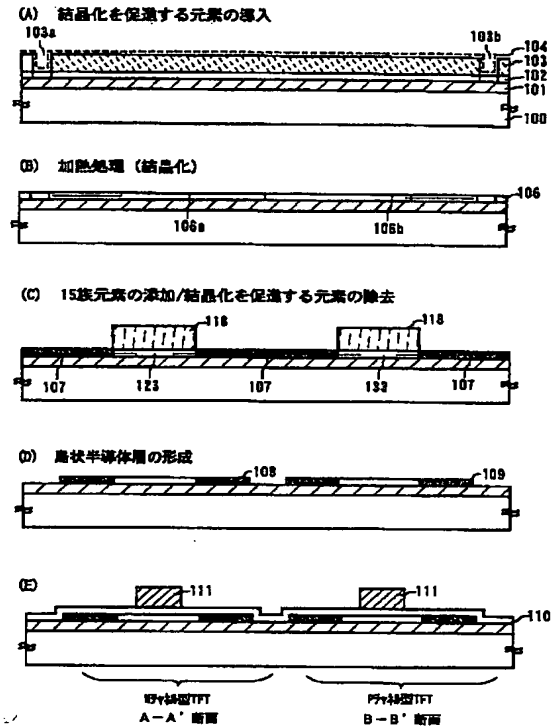
【図6】



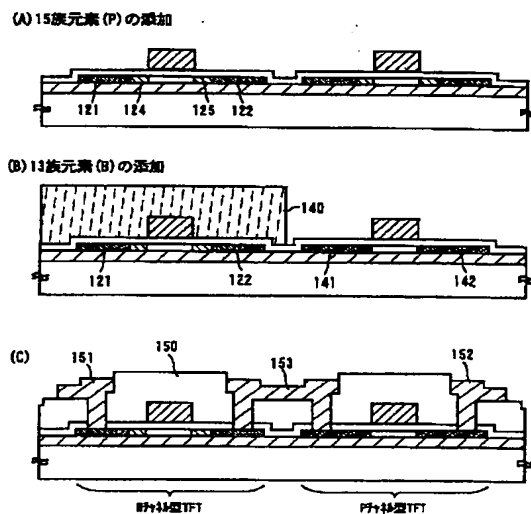
【図 7】



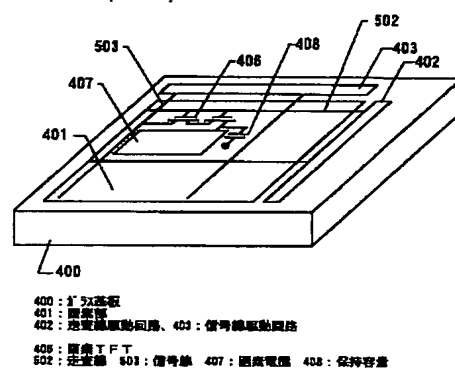
【図 8】



【図 9】

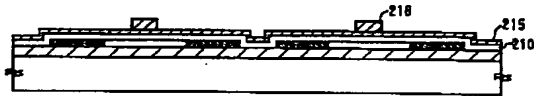


【図 12】

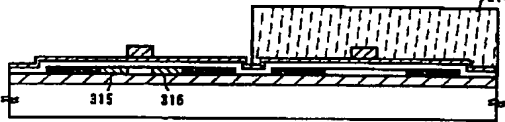


【図10】

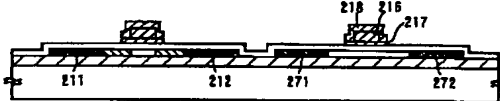
(A) 第1の導電膜、第2の導電層の形成



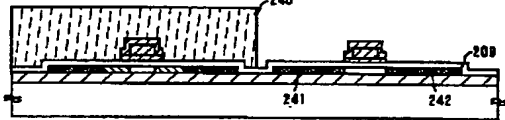
(B) 15族元素(P)の添加



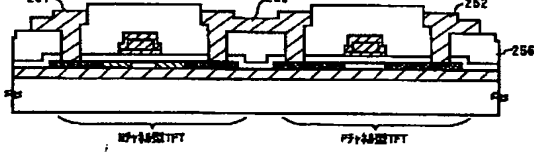
(C) 第1の導電膜、第2の導電層の形成



(D) 15族元素(B)の添加

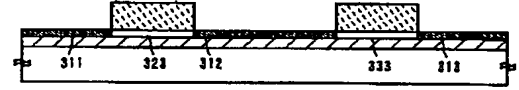


(E)

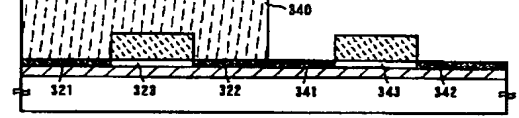


【図11】

(A) 15族元素の添加



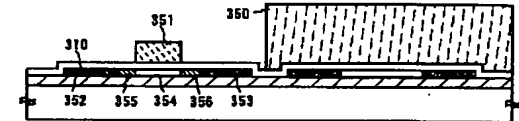
(B) 15族元素(B)の添加



(C) 結晶化促進元素の除去



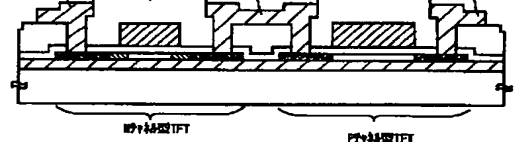
(D) 島状半導体層の形成/絶縁膜の成膜/15族元素の添加



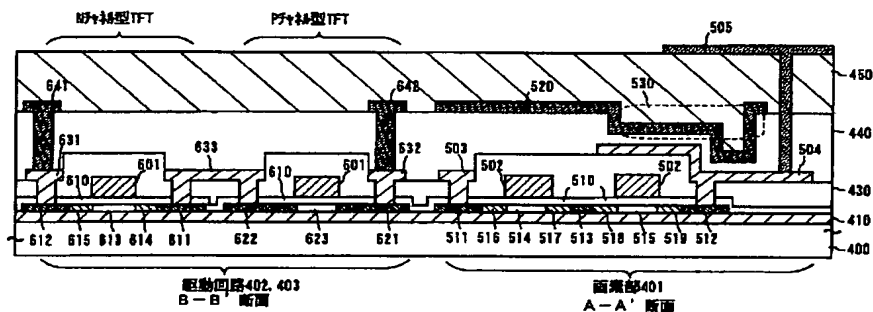
(E) ゲート電極の形成



(F)



【図14】

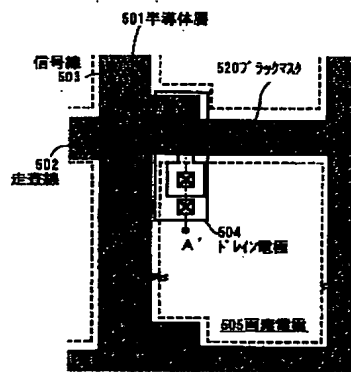


604: 1st 配線 610: 1st 絶縁膜
611: 2nd 配線 (n+Si) 612: 1st 絶縁膜 (n+Si)
613: n+polysilicon 614: 1st 絶縁膜 (n+Si)
621: 2nd 配線 (p+Si) 622: 1st 絶縁膜 (p+Si)
623: n+polysilicon 624: 1st 絶縁膜 (p+Si)
631: 1st 絶縁膜 632: 1st 絶縁膜
641, 642: 2nd 配線

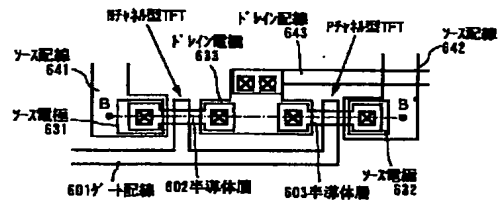
602: 絶縁膜 603: 信号線 604: 1st 絶縁膜
605: 絶縁膜 606: 1st 絶縁膜 607: 2nd 配線
611: 2nd 配線 612: 1st 絶縁膜 (n+Si)
613: n+polysilicon 614: 1st 絶縁膜 (n+Si)
621: 2nd 配線 (p+Si) 622: 1st 絶縁膜 (p+Si)
623: n+polysilicon 624: 1st 絶縁膜 (p+Si)
631: 1st 絶縁膜 632: 1st 絶縁膜
641, 642: 2nd 配線

400: 1st 絶縁膜
410: 2nd 絶縁膜
420: 3rd 絶縁膜
430: 4th 絶縁膜
440: 5th 絶縁膜
450: 6th 絶縁膜
460: 7th 絶縁膜
470: 8th 絶縁膜
480: 9th 絶縁膜
490: 10th 絶縁膜

【例 13】

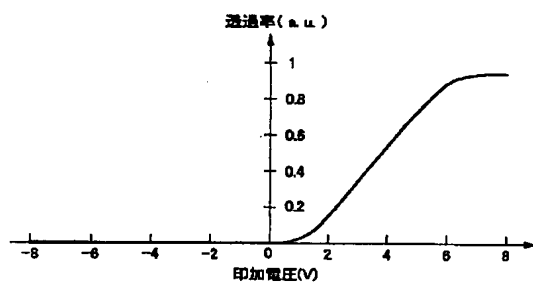


(A) 圖案部401上面圖

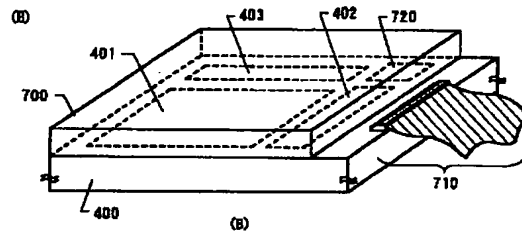
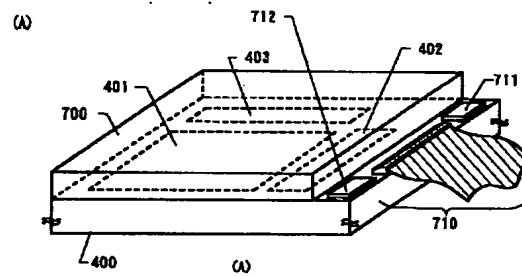


(B) CMOS 回路上面圖

【図 16】

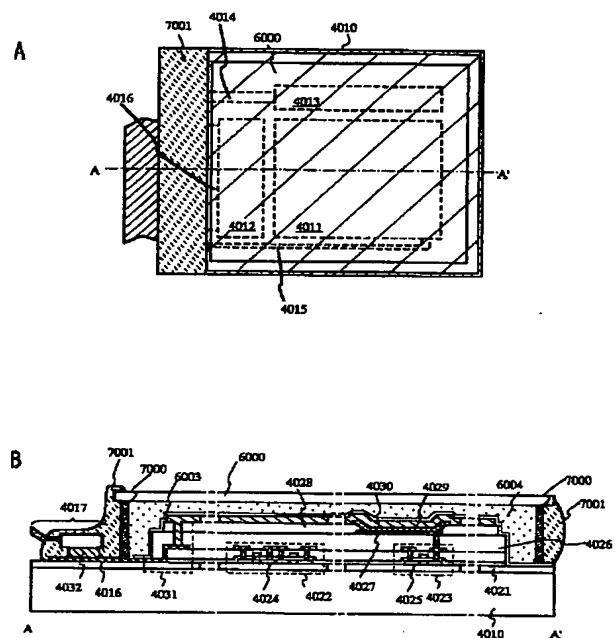


【图 15】

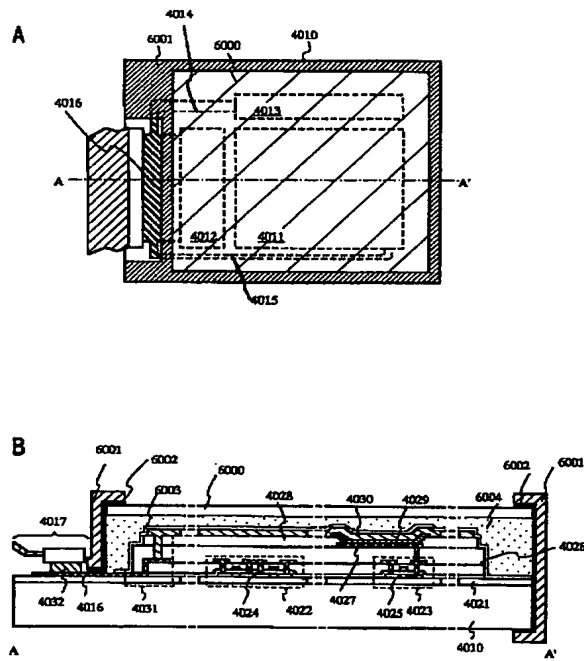


アクティブマトリクス基板
400: 12.5インチ
401: 15インチ
402: クラウド駆動回路、483: ソース駆動回路
718: FPE
719, 712: ICチップ 720: ロック回路
700: 封入基板

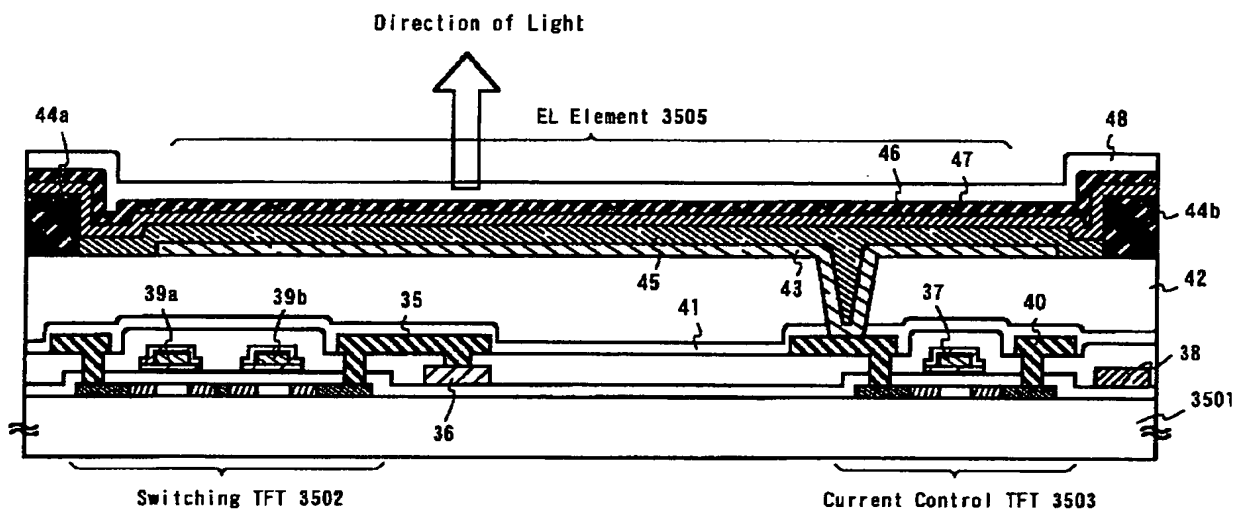
【图 17】



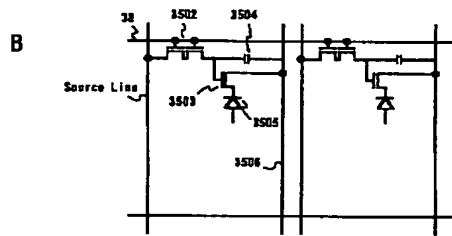
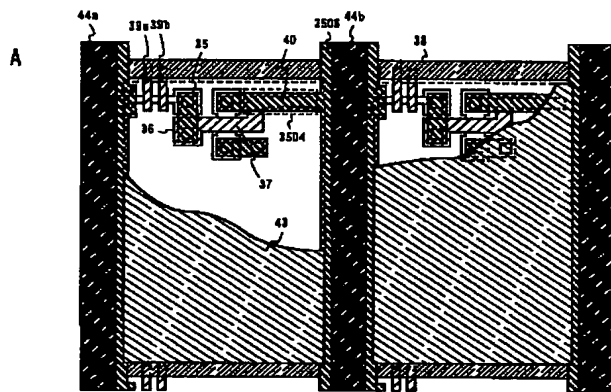
【図 18】



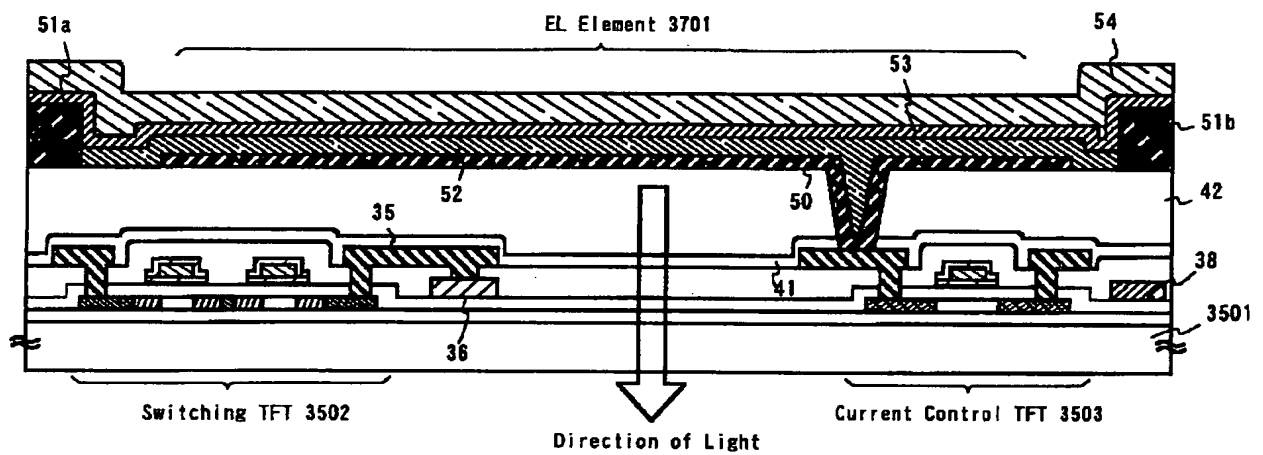
【図 19】



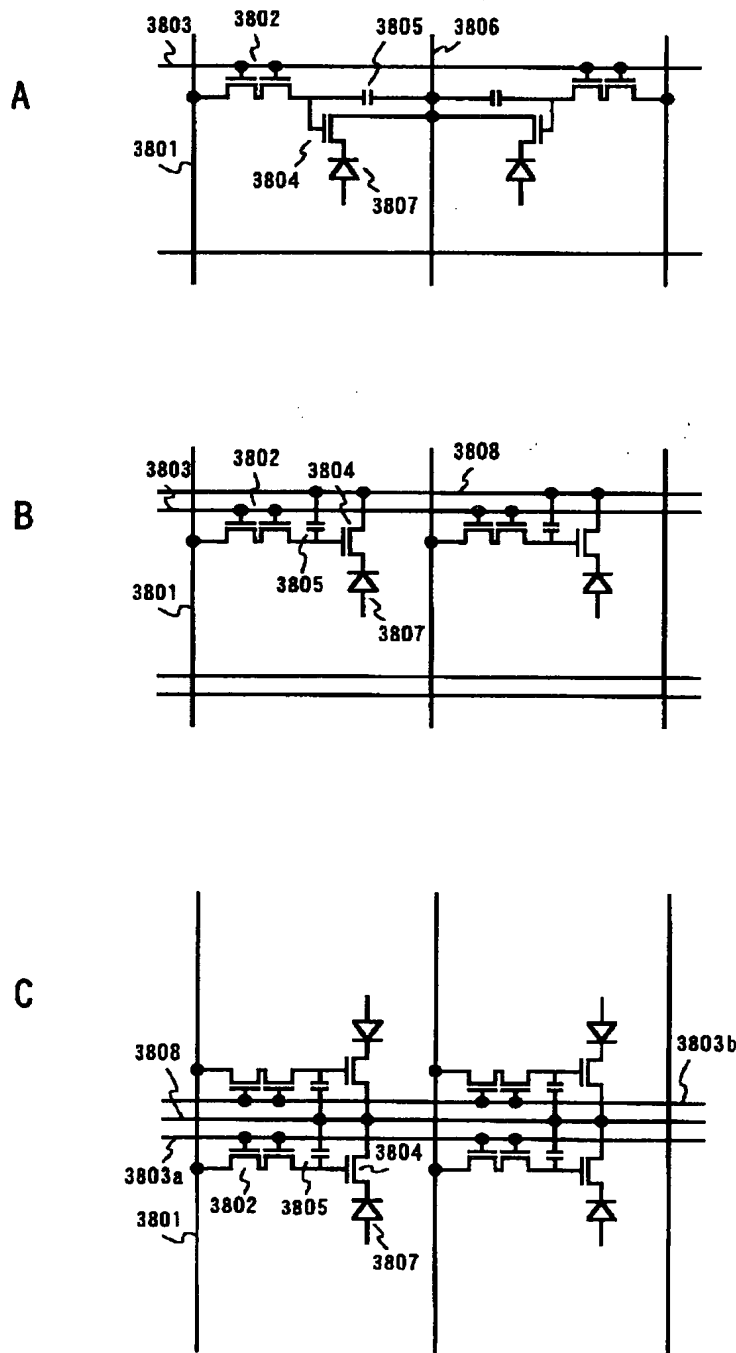
【図 2 0】



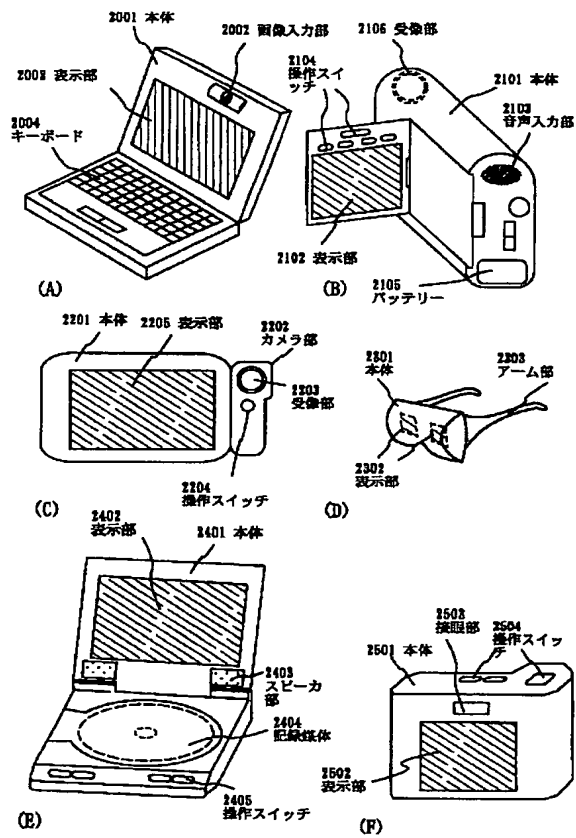
【図 2 1】



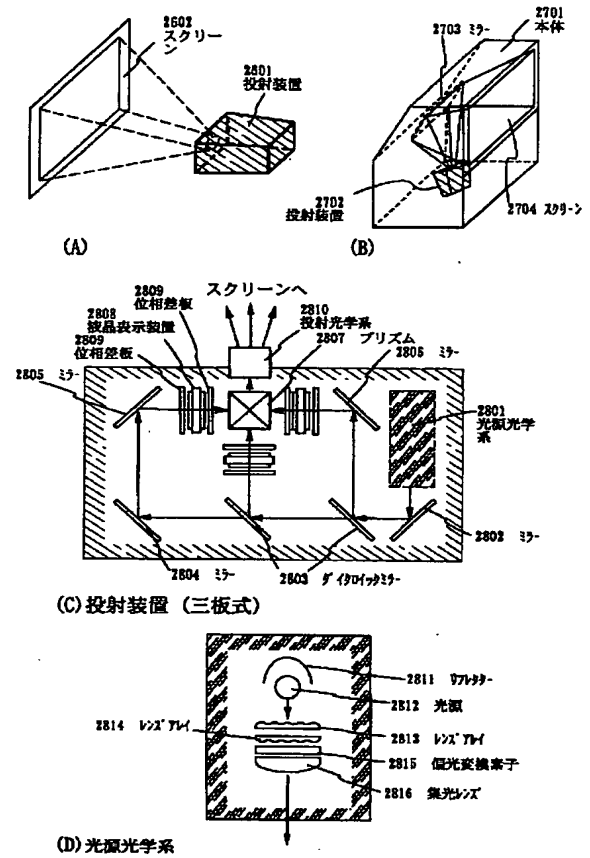
【図 22】



【図 23】



【図 24】



【図 25】

